

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-283249

(43)Date of publication of application : 15.10.1999

(51)Int.Cl.

G11B 7/00
G11B 7/125
H01S 3/096

(21)Application number : 10-206083

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.07.1998

(72)Inventor : ASADA AKIHIRO
ONUHI HIDEO
KAKU TOSHIMITSU
KUREBAYASHI MASAOKI
HOSHINO TAKASHI
TANAKA YASUTO
SHINDO HIDEHIKO

(30)Priority

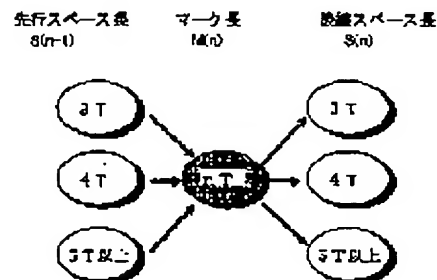
Priority number : 10 21041 Priority date : 02.02.1998 Priority country : JP

(54) OPTICAL DISK DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the number of lines on a flexible wiring and the arranging space by recording the waveform information, several times, which drives a laser diode corresponding to binary recording signals, reconstructing the driving waveforms based on the recorded information and binary recording the waveforms on a recording medium.

SOLUTION: The laser driving waveforms of the mark length of binary recording signals NRZI are varied by the adjacent space length and the jitter of the mark edges on the recording medium is reduced. The laser power is increased at a mark section, driven by multipath and the laser diode is driven by the power (which is less than a mark recording) to erase the mark and the space, which are already recorded, in a space section. If a mark is to be recorded, a thermal effect is received on the medium by the adjacent space length and the edge of the mark is varied by the adjacent space length. To avoid the above phenomenon, the recording waveforms of the mark section is varied by considering the length of an adjacent space.



LEGAL STATUS

[Date of request for examination]

05.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-283249

(43) 公開日 平成11年(1999)10月15日

(51) Int.Cl.⁶ 識別記号

G 1 1 B 7/00

7/125

H 0 1 S 3/096

F I

G 1 1 B 7/00

7/125

H 0 1 S 3/096

L

C

審査請求 未請求 請求項の数27 O L (全 36 頁)

(21) 出願番号 特願平10-206083

(22) 出願日 平成10年(1998) 7 月22日

(31) 優先権主張番号 特願平10-21041

(32) 優先日 平10(1998) 2 月 2 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 浅田 昭広

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所マルチメディアシステム開

発本部内

(72) 発明者 大貫 秀男

東京都小平市上水本町五丁目20番 1 号株式

会社日立製作所システム L S I 開発センタ

内

(74) 代理人 弁理士 小川 勝男

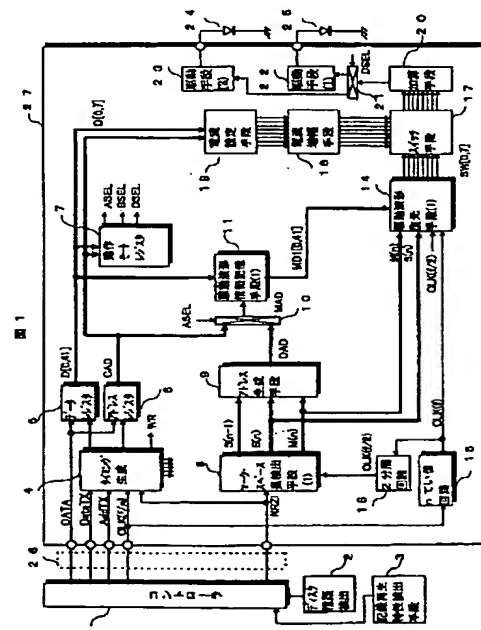
最終頁に続く

(54) 【発明の名称】 光ディスク装置

(57) 【要約】

【課題】 高密度マーク形成のための波形制御が複雑化しており、切り替えるレーザのレベル数の増加、パルス分割の細分化が進み、高速で、多数のレベルを切り替える必要がある。レベルの切り替えは、可動部で行われるため、制御信号を供給するフレキシブル配線はある程度の長さとなることは避けられず、このため、波形の歪み遅延などによる、スイッチングタイミングのずれが生じ、エラーレートの低下を招く。

【解決手段】 レーザ駆動集積回路に、記録媒体に記録する 2 値化記録信号に対応してレーザダイオードを駆動する駆動波形の情報を 1 つ以上記憶する第 1 の駆動波形情報記憶手段、該第 1 の駆動波形情報記憶手段の記憶情報をもとに駆動波形を復元し、該スイッチ手段を制御する駆動波形復元手段、記録媒体に記録する 2 値化記録信号をもとに該第 1 の駆動波形情報記憶手段の駆動波形情報を選択するアドレス生成手段、外部より供給される駆動波形情報を該第 1 の駆動波形情報記憶手段に記憶する制御手段を設けた。



【特許請求の範囲】

【請求項 1】記録媒体に記録する 2 値化記録信号に対応してレーザダイオードを駆動する駆動波形の情報を 1 つ以上記憶する第 1 の駆動波形情報記憶手段、該第 1 の駆動波形情報記憶手段の記憶情報をもとに駆動波形を復元する駆動波形復元手段、記録媒体に記録する 2 値化記録信号をもとに該第 1 の駆動波形情報記憶手段の駆動波形情報を選択するアドレス生成手段、該第 1 の駆動波形情報記憶手段に駆動波形情報を記録するコントローラを有したことを特徴とする光ディスク装置。

【請求項 2】複数の電流源の電流をスイッチ手段を介してレーザダイオードに供給するレーザ駆動集積回路において、記録媒体に記録する 2 値化記録信号に対応してレーザダイオードを駆動する駆動波形の情報を 1 つ以上記憶する第 1 の駆動波形情報記憶手段、該第 1 の駆動波形情報記憶手段の記憶情報をもとに駆動波形を復元し、該スイッチ手段を制御する駆動波形復元手段、記録媒体に記録する 2 値化記録信号をもとに該第 1 の駆動波形情報記憶手段の駆動波形情報を選択するアドレス生成手段、外部より供給される駆動波形情報を該第 1 の駆動波形情報記憶手段に記憶する制御手段を有したことを特徴とするレーザ駆動集積回路およびこれを搭載した光ディスク装置。

【請求項 3】レーザダイオードを駆動する駆動波形のうち少なくともマークに対応する駆動波形を時間的に 2 つ以上に分割し、各分割された領域ごとに駆動波形情報を 1 つ以上各テーブルに記憶するテーブル群を有する第 2 の駆動波形情報記憶手段、該各テーブルの駆動波形情報を選択するテーブルアドレス情報を記憶する第 1 の駆動波形情報記憶手段、該第 2 の駆動波形情報記憶手段の記憶情報をもとに駆動波形を復元する駆動波形復元手段、記録媒体に記録する 2 値化記録信号をもとに該第 1 の駆動波形情報記憶手段のテーブルアドレス情報を選択するアドレス生成手段、該第 2 の駆動波形情報記憶手段に駆動波形情報を、該第 1 の駆動波形情報記憶手段にテーブルアドレス情報を記録するコントローラ、を有したことを特徴とする光ディスク装置。

【請求項 4】複数の電流源の電流をスイッチ手段を介してレーザダイオードに供給するレーザ駆動集積回路において、レーザダイオードを駆動する駆動波形のうち少なくともマークに対応する駆動波形を時間的に 2 つ以上に分割し、各分割された領域ごとに駆動波形情報を 1 つ以上各テーブルに記憶するテーブル群を有する第 2 の駆動波形情報記憶手段、該各テーブルの駆動波形情報を選択するテーブルアドレス情報を記憶する第 1 の駆動波形情報記憶手段、該第 2 の駆動波形情報記憶手段の記憶情報をもとに駆動波形を復元し、該スイッチ手段を制御する駆動波形復元手段、記録媒体に記録する 2 値化記録信号をもとに該第 1 の駆動波形情報記憶手段のテーブルアドレス情報を選択するアドレス生成手段、外部より供給さ

れる駆動波形情報を該第 2 の駆動波形情報記憶手段に、テーブルアドレス情報を該第 1 の駆動波形情報記憶手段に記憶する制御手段を有したことを特徴とするレーザ駆動集積回路およびこれを搭載した光ディスク装置。

05 【請求項 5】複数の電流源の電流をスイッチ手段を介してレーザダイオードに供給するレーザ駆動集積回路において、レーザダイオードを駆動する駆動波形のうち少なくともマークに対応する駆動波形を時間的に 2 つ以上に分割し、各分割された領域ごとに駆動波形情報を 1 つ以上各テーブルに記憶するテーブル群を有する第 2 の駆動波形情報記憶手段、該第 2 の駆動波形情報記憶手段の記憶情報をもとに駆動波形を復元し、該スイッチ手段を制御する駆動波形復元手段、外部より供給される駆動波形情報を該第 2 の駆動波形情報記憶手段に、テーブルアドレス情報を該第 1 の駆動波形情報記憶手段に記憶する制御手段を有したことを特徴とするレーザ駆動集積回路およびこれを搭載した光ディスク装置。

10 【請求項 6】請求項 1 から 4 記載のレーザ駆動集積回路および光ディスク装置において、該 2 値化記録信号のマーク長および隣接するスペース長をもとに該第 1 の駆動波形情報記憶手段の駆動波形情報を選択するアドレス生成手段としことを特徴とするレーザ駆動集積回路および光ディスク装置。

15 【請求項 7】請求項 2、6 記載のレーザ駆動集積回路およびこれを搭載した光ディスク装置において、該コントローラから該第 1 の駆動波形情報記憶手段に記憶すべき駆動波形情報をアドレスとともにシリアルで受け取り該第 1 の駆動波形情報記憶手段に書込む制御手段を設けたことを特徴とするレーザ駆動集積回路およびこれを搭載した光ディスク装置。

20 【請求項 8】請求項 4、6 記載のレーザ駆動集積回路およびこれを搭載した光ディスク装置において、該コントローラから供給される駆動波形情報と記憶するアドレスおよびテーブルアドレス情報と記憶するアドレスをシリアルで受け取り該第 2 の駆動波形情報記憶手段および第 1 の駆動波形情報記憶手段に記憶する制御手段としたことを特徴とするレーザ駆動集積回路およびこれを搭載した光ディスク装置。

25 【請求項 9】請求項 5 記載のレーザ駆動集積回路およびこれを搭載した光ディスク装置において、該コントローラから供給される駆動波形情報と記憶するアドレスをシリアルで受け取り該第 2 の駆動波形情報記憶手段に記憶する制御手段としたことを特徴とするレーザ駆動集積回路およびこれを搭載した光ディスク装置。

30 【請求項 10】請求項 1、2、6 および 7 記載のレーザ駆動集積回路およびこれを搭載した光ディスク装置において、該駆動波形を同一レベルが継続する最小時間 ($T/2$) を単位に、レベル L とその継続数 RL をもとに記述した駆動波形情報を記憶する該第 1 の駆動波形情報記憶手段としたことを特徴とするレーザ駆動集積回路およ

びこれを搭載した光ディスク装置。

【請求項 1 1】請求項 3 から 5 および 8、9 記載のレーザ駆動集積回路およびこれを搭載した光ディスク装置において、該駆動波形を同一レベルが継続する最小時間

($T/2$) を単位に、レベル L とその継続数 RL をもとに記述した駆動波形情報を記憶する該第 2 の駆動波形情報記憶手段としたことを特徴とするレーザ駆動集積回路およびこれを搭載した光ディスク装置。

【請求項 1 2】請求項 1 0 記載のレーザ駆動集積回路およびこれを搭載した光ディスク装置において、該最小時間区間 ($T/2$) の駆動波形のレベル L_1 と後続する駆動波形のレベル L_2 および該レベル L_1 、 L_2 を組としてその繰返し数を示す RL を 1 つのパケット (L_1 、 L_2 、 RL) とし、このパケットの系列 $\{(L_1 n, L_2 n, RL n), n=0 \text{ から } N\}$ で該駆動波形を記述した駆動波形情報を記憶する該第 1 の駆動波形情報記憶手段としたことを特徴とするレーザ駆動集積回路およびこれを搭載した光ディスク装置。

【請求項 1 3】請求項 1 2 記載のレーザ駆動集積回路およびこれを搭載した光ディスク装置において、予め定めたパケットの RL は、該 2 値化記録信号より検出したマーク長、スペース長をもとに算出した値に置換してパケット単位に駆動波形を復元する駆動波形復元手段としたことを特徴とするレーザ駆動集積回路およびこれを搭載した光ディスク装置。

【請求項 1 4】請求項 1 1 記載のレーザ駆動集積回路およびこれを搭載した光ディスク装置において、該最小時間区間 ($T/2$) の駆動波形のレベル L とその継続数 RL を第 1 のパケット (L 、 RL) とし、駆動波形のレベル L_1 と後続する駆動波形のレベル L_2 を第 2 のパケット (L_1 、 L_2) の 2 種類のパケットで駆動波形を記述した駆動波形情報を記憶する該第 1 の駆動波形情報記憶手段、該第 2 のパケットの繰返し数 RL を該 2 値化記録信号より検出したマーク長、スペース長をもとに算出した値にし、パケット単位に駆動波形を復元する駆動波形復元手段としたことを特徴とするレーザ駆動集積回路およびこれを搭載した光ディスク装置。

【請求項 1 5】請求項 2 から 1 4 記載のレーザ駆動集積回路をレーザダイオードを有する光ピックアップ装置に搭載したことを特徴とする光ディスク装置。

【請求項 1 6】請求項 1、2、6、7、1 0、1 2、1 3、1 5 記載の光ディスク装置において、ディスクの種類を検出するディスク種類検出手段を設け、ディスク種類に対応した該駆動波形情報を該第 1 の駆動波形情報記憶手段に記憶する機能を有するコントローラとしたことを特徴とする光ディスク装置。

【請求項 1 7】請求項 3、4、5、8、9、1 1、1 4、1 5 記載の光ディスク装置において、ディスクの種類を検出するディスク種類検出手段を設け、ディスク種類に対応した該駆動波形情報を該第 2 の駆動波形情報記

憶手段に記憶する機能を有するコントローラとしたことを特徴とする光ディスク装置。

【請求項 1 8】請求項 1、2、6、7、1 0、1 2、1 3、1 5、1 6 記載の光ディスク装置において、ディスクの記録再生特性を検出する記録再生特性検出手段を設け、検出結果をもとにした該駆動波形情報を該第 1 の駆動波形情報記憶手段に記憶する機能を有するコントローラとしたことを特徴とする光ディスク装置。

【請求項 1 9】請求項 3、4、5、8、9、1 1、1 4、1 5、1 7 記載の光ディスク装置において、ディスクの記録再生特性を検出する記録再生特性検出手段を設け、検出結果をもとにした該駆動波形情報を該第 2 の駆動波形情報記憶手段に記憶する機能を有するコントローラとしたことを特徴とする光ディスク装置。

【請求項 2 0】請求項 2 および 4 から 1 9 記載のレーザ駆動集積回路およびこれを搭載した光ディスク装置において、該コントローラからのクロック信号をてい倍し、該レーザ駆動集積回路の動作クロックとして供給するてい倍回路を設けたことを特徴とするレーザ駆動集積回路およびこれを搭載した光ディスク装置。

【請求項 2 1】請求項 2 および 4 から 2 0 記載のレーザ駆動集積回路およびこれを搭載した光ディスク装置において、第 1 のレーザダイオードに駆動電流を供給する第 1 の駆動手段、第 2 のレーザダイオードに駆動電流を供給する第 2 の駆動手段、該スイッチ手段の出力電流を該第 1、第 2 の駆動手段のいずれかに供給する切替手段を設けたことを特徴とするレーザ駆動集積回路およびこれを搭載した光ディスク装置。

【請求項 2 2】請求項 2 および 4 から 2 1 記載のレーザ駆動集積回路およびこれを搭載した光ディスク装置において、該コントローラからの設定電流値に対応した複数の電流を生成し該スイッチ手段に供給する電流設定手段を設けたことを特徴とするレーザ駆動集積回路およびこれを搭載した光ディスク装置。

【請求項 2 3】請求項 1 記載の光ディスク装置において、レベルの変化する変化点位置の情報 CP とその変化点位置後のレベル L を組とし、この組の系列で該駆動波形を記述した駆動波形情報を記憶する該第 1 の駆動波形情報記憶手段としたことを特徴とする光ディスク装置。

【請求項 2 4】請求項 1 記載の光ディスク装置において、レベルの変化する変化点位置の情報 CP とその変化点位置後のレベル L の組を少なくとも 1 つ以上まとめて 1 つのパケット $P = \{(CP_1, L_1), \dots, (CP_n, L_n)\}$ (n は 1 以上) とし、このパケットの系列で該駆動波形を記述した駆動波形情報を記憶する該第 1 の駆動波形情報記憶手段としたことを特徴とする光ディスク装置。

【請求項 2 5】請求項 1 記載の光ディスク装置において、レベルの変化する変化点位置を示す変数 $@CP$ とその変化点位置後のレベルを示す変数 $@L$ の組をすくなく

とも1つ以上まとめて1つのパケット $P = \{ (@CP1, @L1), \dots, (@CPn, @Ln) \}$ (n は1以上)とし、このパケットの系列と各変数に対応する変数値テーブルで該駆動波形を記述した駆動波形情報を記憶する該第1の駆動波形情報記憶手段としたことを特徴とする光ディスク装置。

【請求項26】請求項23、24、および25記載の光ディスク装置において、変化点位置 CP に対応する変化点位置のタイミングを生成する変化点位置タイミング生成手段と変化点位置後のレベル L に対応するレベルを生成するレベル生成手段を有した該駆動波形復元手段としたことを特徴とする光ディスク装置。

【請求項27】請求項25記載の光ディスク装置において、該変数値テーブルに対する1つ以上のテーブルアドレス生成手段を設け、これを選択可能にした該アドレス生成手段としたことを特徴とする光ディスク装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、記録可能な光ディスク装置の、特に多値レベル化およびパルス分割されたレーザ駆動波形を制御するレーザ駆動集積回路に係り、高精度で高速スイッチング可能で各種駆動波形に対応するレーザ駆動集積回路およびこれを搭載する光ディスク装置に関する。

【0002】

【従来の技術】近年より高密度な光ディスク記録再生システムが要求されている。光ディスクの基本的な原理は、情報の1に対応するデータを記録する際にレーザを照射し、情報の0に対応するデータを記録する場合にレーザを照射しないというようなオン、オフの制御のみで行う方法である。

【0003】しかし、1ビームオーバーライト技術や、高密度化のための記録マーク形状制御のため、ライトストラテジーと呼ばれる記録パワーをパルス分割し、多値レベル化し制御する技術が必須となっており、これにともないレーザドライバに入力されるデータラインが増加する。単純なオンオフの制御であればデータラインは1本で可能であったが、オーバーライトや高密度マークを形成するための波形制御を行うために中間レベルを必要とする波形では、複数の電流をスイッチングする必要がある。

【0004】例えば従来例として特開平8-147697号に示すように、中間パワーのオンオフを制御するデータラインが追加され4本の電流制御系が必要となる。最近の高密度化の為の記録マーク制御のためにはこの記録パワーのレベルを3値以上に制御するためデータラインも4本、5本というように増加する。更に将来の高密度化のためにはこれ以上のデータラインの増加が要求されている。

【0005】

【発明が解決しようとする課題】上記従来技術に示す光変調型の記録方式においては、高密度記録のため記録マーク形状を制御し、かつ1ビームでオーバーライトするため、記録レーザパルスを、パルス分割し、さらにそのレベルを多値に変化させる駆動波形制御を行っている。今後さらに、データの転送レートの増加、パルス分割幅のより細分化が、さらにパワーのレベル数の増加が要求されている。

【0006】また、レーザ駆動波形をディスクの記録再生特性に対応して適応的に可変し、最適な駆動波形でデータを記録しデータの信頼性を高めることや、ディスクの記録材質によって異なる各種駆動波形に対応し、各種ディスクへの記録を可能にすることが光ディスク装置として要求されている。

【0007】光ディスク装置においては、通常ピックアップが可動部分となり、信号制御系は固定部分である。また、レーザ駆動部はピックアップ上に搭載されたレーザダイオードの近傍に設置される。信号制御部からレーザ駆動部までは、フレキシブルケーブルなどをもちいて配線される。フレキシブルケーブルは、レーザ駆動信号だけでなくサーボ信号の伝送用にも使用される。また、ピックアップが可動部であることから、最低でもディスク半径以上の長さは必要となる。

【0008】前記従来例においては、波形制御のレベルが増加すれば、するほどその本数だけレーザ駆動制御用のラインの本数が増加し、これに伴いフレキシブルケーブルも大きくなる。このため、フレキシブルケーブルを配置するスペースの確保が困難になる。また、フレキシブルケーブルの引き回しのために、その長さが長くなる等の問題が生ずる。

【0009】また、高密度記録のためにパルス分割をより細分化することにより、パルス分割制御用のクロック周波数が増加する。フレキシブルケーブルが長くなる、または1本あたりのライン幅が細くなるなどの状況において、クロック周波数が増加すると、伝送波形の歪み、遅延等の問題が生じ、パルスの立ち上がり立ち下がりの速度に影響し、所望のタイミングでレーザ発光させることができなくなる。これによりマーク形状やマークの位置の精度がそこなわれ結果としてデータエラーの原因となる。

【0010】更に、ケーブルからの不要輻射の問題が発生し、ノイズ発生の原因となる。

【0011】

【課題を解決するための手段】上記課題を解決するために、本発明では、複数の電流源の電流をスイッチ手段を介してレーザダイオードに供給するレーザ駆動集積回路において、記録媒体に記録する2値化記録信号に対応してレーザダイオードを駆動する駆動波形の情報を1つ以上記憶する第1の駆動波形情報記憶手段、該第1の駆動波形情報記憶手段の記憶情報をもとに駆動波形を復元

し、該スイッチ手段を制御する駆動波形復元手段、記録媒体に記録する2値化記録信号をもとに該第1の駆動波形情報記憶手段の駆動波形情報を選択するアドレス生成手段、外部より供給される駆動波形情報を該第1の駆動波形情報記憶手段に記憶する制御手段を設けた。

【0012】

【発明の実施の形態】以下、図を用い本発明の実施例を説明する。

【0013】(1) 第1の実施例

(1. 1) 第1の実施例の構成

図1は本発明の第1の実施例であるレーザ駆動集積回路とこれを搭載する光ディスク装置の構成図である。1はコントローラ、2はディスクの種類を検出するディスク種類検出手段、3はディスクの記録再生特性を検出する記録再生特性検出手段である。これらは光ディスク装置の固定部側(メイン基板)に配置される。27はレーザ駆動集積回路で第1のレーザダイオード25、第2のレーザダイオード24とともに光ピックアップに搭載されディスク記録再生トラック位置に対応して可動する。固定部側と可動部側はフレキシブルケーブル26を介して信号が供給される。

【0014】レーザ駆動集積回路27は、コントローラ1より供給される2値化記録信号NRZIよりマーク長とスペース長を検出するマーク・スペース長検出手段8、マーク・スペース長検出手段8の検出結果をもとにアドレス信号DADを出力するアドレス生成手段9、アドレス信号DADに対応して選択された駆動波形情報を出力する駆動波形記憶手段(1)11、駆動波形記憶手段(1)11の出力情報をもとにレーザ駆動波形を復元する駆動波形復元手段(1)14、駆動波形復元手段

(1)14の出力信号によって制御されるスイッチ手段17、コントローラ1からの設定電流値に対応した8チャンネルの電流を出力する電流設定手段19、この出力電流を増幅する電流増幅手段18、この各電流をスイッチ手段17を介して換算する加算手段20、加算手段20の出力値をレーザダイオード25を電流駆動する駆動手段(1)22かレーザダイオード24を電流駆動する駆動手段(2)23のいずれかに供給する切替手段2

1、コントローラ1から供給されるクロック信号CLK(f/n)をnで倍したクロック信号CLK(f)を出力するnで倍回路15、クロック信号CLK(f)を2分周したクロック信号CLK($f/2$)を出力する2分周回路、コントローラ1から1本の信号線で供給されるDATA信号よりデータ部に対応するデータを取り込むデータレジスタ5、DATA信号よりアドレス部に対応するアドレス値を取り込むアドレスレジスタ6、コントローラ1から供給されるデータ転送区間を示す信号DatatX、アドレス転送区間を示す信号AddTX、クロックCLK(f/n)および記録2値化信号をもとに、該データレジスタ5、アドレスレジスタ6の取

り込みタイミングや、該データレジスタ5のデータを、アドレスレジスタ6のアドレス値に対応する駆動波形情報記憶手段11、電流設定手段19および動作モードレジスタなどに書込む制御信号WRを出力するタイミング生成手段4、レーザ駆動集積回路27の動作モードを設定する動作モードレジスタ7より構成される。

【0015】(1. 2) 第1の実施例の動作

以下、この第1の実施例の動作および各部の詳細について説明する。

【0016】(1. 2. 1) 先行、後続スペース長および記録マーク長とレーザ駆動波形

本実施例では、図4に示すように2値化記録信号NRZIのマーク長のレーザ駆動波形を隣接するスペース長によって変化させ、記録媒体上でのマークエッジのジッタを低減させることを狙っている。マーク部ではレーザパワーを大きくしかつマルチパルスで駆動し、スペース部では既に媒体に記録してあるマーク、スペースを消去するパワー(マーク記録より小さいパワー)でレーザダイオードを駆動する。マークを記録するとき、隣接のスペース長によって媒体上で熱的影響を受けマークのエッジが隣接スペース長によってさまざまに変化する。これを避けるために、隣接のスペース長を考慮してマーク部の記録波形を変えるものである。マーク長およびスペース長は、3Tから11T(Tは2値化記録信号NRZIの変化の最小単位時間で、クロックCLK($f/2$)の周期に対応する)まで変化する。よってマーク長3Tを記録する場合、隣接スペース長の取り得る組み合わせは、9×9の81通りとなる。これを3Tから11Tのマーク長まで含めると81×9の729通りの駆動波形となってしまうが、隣接マーク長が所定値以上の場合は熱的影響はすくない。図4ではnTのマーク長に対して隣接スペース長は、3T、4Tおよび5T以上の9通りを考慮することを示している。

【0017】(1. 2. 2) マーク・スペース長検出手段

図8にマーク・スペース長検出手段(1)8の構成を、図9のその動作タイミングを示す。マーク・スペース長検出カウンタ81はクロックCLK($f/2$)によりコントローラ1から供給される2値化記録信号NRZIのマーク長(ハイレベル区間)とスペース長(ローレベル区間)を計数し出力する。(図9のc)に示す)マーク長レジスタ82はタイミング生成手段85のタイミング信号を受けマーク長検出値を取り込む。また後続スペース長レジスタ83も同様にスペース長を取り込む。すでに取り込まれていたスペース長を先行スペース長レジスタ84に供給する。図9のd)、e)、f)に示す様に、NRZI信号の変化に対応してマーク長レジスタ82は現マーク長M(n)を、先行スペース長レジスタ84は現マークに先行したスペース長S(n-1)を、後続スペース長レジスタ83は現マークに後続するス

ス長 $S(n)$ を出力する。

【0018】(1. 2. 3) アドレス生成手段

アドレス生成手段9はこのマーク長 $M(n)$ 、先行スペース長 $S(n-1)$ および後続スペース長 $S(n)$ をもとに、駆動波形情報記憶手段(1)11の選択すべき駆動波形の記憶されているアドレスを生成する。

【0019】(1. 2. 3. 1) アドレス生成手段(1)

図10にアドレス生成手段9の第1の構成例を示す。91は先行スペース長 $S(n-1)$ が3Tであるか否かを検出する3T検出手段、92は4Tであるか否かを検出する4T検出手段である。3T検出手段91の出力を $DS3T$ 、4T検出手段の出力を $DS4T$ とすると $S(n-1) = 3T$ の場合は $DS3T = 1$ 、 $DS4T = 0$ となる。また、5T以上の場合は $DS3T = 0$ 、 $DS4T = 0$ となる。93および94は同様に後続スペース長 $S(n)$ が3Tであるか否か、4Tであるか否かを検出する手段でその出力は $DK3T$ 、 $DK4T$ である。同様に95、96は現マーク長 $M(n)$ が3Tであるか否か、4Tであるか否かを検出する手段でその出力は $DM3T$ 、 $DM4T$ である。アドレス変換手段90はこれらの6ビットの値をもとにアドレスを生成する。図10の場合は、97、98および99の2ビット・2ビット変換手段によって各2ビットを変換しアドレス $DAD[0.5]$ の6ビットを生成している。

【0020】図11に nT のマーク長に対する9通りの遷移に対する3T、4T検出結果と生成したアドレスの関係を示す。図中の変換(1)は2ビット・2ビット変換を図中(2)、(3)のように変換した場合の生成アドレスの下位4ビット値である。上位2ビットはマーク長の3T、4T、5T以上に対応する。なお図中(1)の変換(2)は無変換の場合の値を示している。また、パターンNoは遷移とその遷移に対応する駆動波形を示している。例えば $Pc(a, b)$ はマーク長 $M(n) = c$ で、先行スペース長 $S(n-1) = a$ 、後続スペース長 $S(n-1) = b$ を表している。

【0021】図12に、図11のアドレス変換(1)の場合の生成アドレスと駆動波形情報記憶手段11の対応したアドレスに記憶する駆動波形 $Pc(a, b)$ の配置の関係を示している。

【0022】3Tマークに対する9パターンは上位アドレス値 $DAD5, 4 = 0$ に、4Tマークは1に、5Tマーク以上は2のアドレス領域に配置される。この場合は、1つのマーク長に対して9通りのパターンなので、メモリ上のアドレスの観点から見ると配置された駆動波形 $Pc(a, b)$ は飛び飛びになり、メモリ利用効率は良くない。

【0023】(1. 2. 3. 2) アドレス生成手段(2)

図13にアドレス生成手段9の第2の構成例を示す。こ

の場合はアドレス変換手段90を6ビット5ビット変換手段で構成している。3T、4Tおよび5T以上のマークにたいして計27通りの遷移状態があるので、この27通りを5ビット(32通りを表現できるので)で表現するものである。変換方法は各種可能だがその一例を図14に示す。

【0024】図14は3T、4T、5T以上の検出値6ビット情報を5ビットに変換した場合のアドレスと対応するアドレスの駆動波形 $Pc(a, b)$ の配置の関係を示している。計27通りの駆動波形をアドレス値上で連続に配置することができ、メモリ利用効率も上げることができる。

【0025】第1、第2のアドレス生成手段9の構成は、図4に示した3T、4T、5T以上のマーク、スペース長に分けた場合のものであった。しかし、より木目細かに場合分けをしジッタ特性を改善しようとするところ取り得るパターン(状態遷移数)が急激に増大してくる。

【0026】図5に示すように、3T、4T、5T、6T以上のマーク、スペース長に分けると nT マーク長あたり16パターンとなり合計64パターンとなる。これに対応するためにはアドレス生成手段9の構成が異なってくる。

【0027】(1. 2. 3. 3) アドレス生成手段(3)

図15にマーク、スペース長を3T、4T、5T、6T以上の4つに分けた場合のアドレス生成手段の構成を示す。前述の構成に92a、94aおよび96aの5T検出手段を追加し、アドレス変換手段90を先行スペース長検出結果の3ビットを2ビットに変換する2ビットコード化手段97a、後続スペース長検出結果の3ビットを2ビットに変換する2ビットコード化手段98aおよびマーク長検出結果の3ビットを2ビットに変換する2ビットコード化手段99aで構成している。

【0028】図16の(1)に、3T、4T、5T検出結果と生成したアドレスの関係を示す。2ビットコード化手段のコード化は図中(2)、(3)によるコード化とした場合である。

【0029】図17に生成したアドレスと駆動波形情報記憶手段11の対応したアドレスに記憶する駆動波形 $Pc(a, b)$ の配置の関係を示している。この場合は16パターンが4組あるので図のように連続配置されメモリも利用効率が高くなる。しかしメモリ量は増大する。

【0030】より木目細かく制御するためにはより多くのパターンを準備する必要があるが、パターン数に対応して駆動波形情報記憶手段11の記憶容量が増大していく。いかに多くのパターンを効率よく小さい容量のメモリに記憶するかが、レーザ駆動集積回路を実現するうえでの1つの重要な問題となる。

【0031】(1. 2. 4) 駆動波形とその記述方法
次に、駆動波形情報記憶手段11に記憶する駆動波形お

およびその記述方法について説明する。

【0032】(1. 2. 4. 1) 駆動波形例(1)
図6および図7に各マーク長の駆動波形例を示す。図の縦軸がレーザの記録パワーで各レベルのPw、Pers、Pbのように表現している。また横軸は時間軸で単位がTである。よって駆動波形は図よりT/2を最小単位として変化する。またT/2時間がnてい倍回路15が出力するクロックCLK(f)の周期に対応する。図中の丸印をつけた部分が隣接するスペース長によって変える部分である。この例は3T、4T、5T以上の場合に分けた例で、各マーク長に対して9つの駆動波形パターンとなる。

【0033】本実施例では、この駆動波形が、図に示すように、Top部、Repeat部、Tail部スペースTop部およびスペースRepeat部で構成されることに着目し、特にRepeat部は(T/2)時間のPbとPwのペアを繰り返すという点、および5T以上はRepeat部の繰り返し数が異なるのみで他の部は同じ点に着目し、駆動波形をより少ない情報で記述し駆動波形情報記憶手段11の記憶容量低減化を図っている。

【0034】(1. 2. 4. 2) 波形記述方式(1)
パケット(L1, L2, RL)
図26に7Tの場合の記述例を示す。図中(2)の記述方式(1)は、(L1, L2, RL)を1つのパケットとし、L1は(T/2)時間区間のパワーレベル、L2は次の(T/2)時間区間のパワーレベル、RLはこのL1とL2をペアとしてその繰り返し数を表している。記述方式(1)はこのT区間を単位にして駆動波形を記述するものである。図26の7Tの場合は、マークおよびスペースを含めて6個のパケットで記述することができる。

【0035】(1. 2. 4. 3) 波形記述方式(2)パケット(L1, L2, RL)、(L, RL)図26の(3)の記述方式(2)は、(L, RL)を1つのパケットとし、レベルLがT/2時間区間を単位に何回繰り返されるかを示すRLとで記述する。記述方式(2)は、この(L, RL)パケットと先の(L1, L2, RL)パケットの2種を用いて波形を記述する。この場合、同様に6個のパケットで記述することができる。

【0036】また、両方式とも4T以上の各マークについてはリピート部の長さが異なるので、前記と同様に6個のパケットで記述することができる。この駆動波形の例ではレベルは7通りをとるのでLの記述は3ビットで可能である。

【0037】(1. 2. 4. 4) 駆動波形記述例
図27に3Tの場合の記述例を示す。この場合リピート部がないので両記述方式とも5つのパケットで表現することができる。

【0038】図18は、記述方式(1)を用いて3T、

4Tおよび5T以上のマークと後続するスペースを記述したものである。最大6個のパケットで各駆動波形を記述できるので、駆動波形情報記憶手段11の記憶方法および後述する駆動波形復元手段14の処理の一様性から3Tマークの駆動波形も6個のパケットで構成している。3Tの場合はRepeat部がないので、リピート部に相当するパケット(図中のパケット1)は繰り返し数RLを0にして統一化を図っている。

【0039】また、パケット1およびパケット5はマークおよびスペースのRepeat部に相当するパケットで、RL値は0あるいは1のみしか与えていない。これはリピート数はマーク長およびスペース長が検出できれば一義的に算出できること(算出は後述する駆動波形復元手段で行う)、およびこのリピート数を駆動波形情報記憶手段11に記憶させることは、すべてのマーク長に対応した波形を準備する必要がありメモリ容量増大になるからである。

【0040】よって、駆動波形情報記憶手段は図18に示した合計27の駆動波形情報を前述のアドレス生成手段9で生成するアドレスに対応した記憶領域に記憶する。この結果、隣接スペース長に依存した記録マークおよび後続するスペースの駆動波形を駆動波形情報記憶手段11より出力することができる。

【0041】(1. 2. 5) 駆動波形情報記憶手段(1)

図23の(1)に第1の実施例の駆動波形情報記憶手段11の構成を示す。アドレス生成手段9の出力するアドレスDADが切替手段10を介してアドレスDADとして入力される。このアドレスMAD値に対応したワードに図のようにパケット列が記憶されているのでこのパケット列を出力する。各パケットはレベルL1、L2が各3ビットで繰り返し数RLが1ビットなのパケット当たり7ビットである。よって1ワードは42ビットである。1ワードのビット数は、より木目細かく駆動波形を記述する場合パケット数に比例して増加する。将来の拡張性を考慮して多目にしておき、不要なパケットのRLを0して使用することも可能である。また光ディスク装置として扱うディスク種類で最大必要なパケット数に対応するワード長を準備すれば良い。この駆動波形情報記憶手段11は一般的に使用されるS-RAMやD-RAMと同じ機能を有するものであれば良い。この駆動波形情報記憶手段11の出力MD[0, 41]は、駆動波形復元手段14に供給され、パケット列を順次パケット単位に駆動波形を復元する。

【0042】(1. 2. 6) 駆動波形復元手段(1)
図19に駆動波形復元手段14の構成を示す。この駆動波形復元手段14は、駆動波形情報記憶手段11から供給されるパケット列データMD[0, 41]を一旦取り込むレジスタ141、マーク・スペース長検出手段8より供給されるマーク長M(n)よりマーク部のリピート数

MRLを算出するマーク・リピート数設定手段143、スペース長 $S(n)$ よりスペース部のリピート数 SRL を算出するスペース・リピート数設定手段144、 MRL を取り込むレジスタ143a、 SRL を取り込むレジスタ144a、駆動波形復元シーケンサ142からのパケット選択信号 $PSEL$ に対応してレジスタ141よりパケットを選択してパケット波形復元手段146に供給するパケット選択手段146、パケット単位に駆動波形を復元するパケット波形復元手段146、復元された駆動波形をスイッチ手段17のスイッチ群の制御信号化する3to8デコーダおよび駆動波形復元手段14の各構成要素の動作を制御する駆動波形復元シーケンサ142より構成される。

【0043】マーク・リピート数設定手段143は、マーク駆動波形を T を単位に4パケットで表現しているので(リピートのパケットを含む)、リピートパケット除くパケットによる時間区間は $3T$ なので、マーク長 $M(n) - 3$ を演算してレジスタ143aに供給する。マーク長が $3T$ の場合は0、 $4T$ の場合は1、 $7T$ の場合は4である。またスペース・リピート数設定手段144は、スペース駆動波形を T を単位に2パケットで表現しているのでスペース長 $S(n) - 1$ を演算してレジスタ144aに供給する。これによってリピート用パケット1および5は($L1$ 、 $L2$ 、 RL)とパケットが完成する。

【0044】駆動波形復元シーケンサ142は、まず、レジスタ141の各パケットの RLn ($n=0$ から5)を取り込み $RLn=0$ なるパケットを検出する。このパケットを無効パケットを称す。この無効パケットは復元する必要がないのでパケット波形復元手段146には供給しないようにパケット選択手段145を $PSEL$ 信号で制御する。駆動波形復元シーケンサ142は、パケット0から順に有効パケットをパケット選択手段145を介してパケット波形復元手段に供給する。パケット波形復元手段146からの供給パケットの復元が完了する旨の信号 $DECend$ を受け取ると次のパケットを供給する。このようにして最後のパケットまで復元したら、次のパケット列の受入に入る。

【0045】(1. 2. 6. 1)パケット復元手段(1)

図20の(1)に本実施例のパケット復元手段146の構成を示す。パケット($L1n$ 、 $L2n$ 、 RLn)を受け取るレジスタ1461、レジスタ1461の $L1n$ と $L2n$ のいずれかの値を出力する切替手段1462、2分周回路16より供給されるクロック $CLK(f/2)$ をもとに T を単位にリピート数を計数するリピート数カウンタ1463、レジスタ1462の RLn 値と該リピート数カウンタ1463の一致を検出する一致検出手段1464より構成される。

【0046】クロック $CLK(f/2)$ は周期を T とし

ているので、切替手段1462は $T/2$ 区間を単位に $L1n$ 、 $L2n$ と交互に切替出力される。リピート数カウンタはこのリピート数を T を単位に計数する。よって RLn に対応する回数($L1n$ 、 $L2n$)が繰り替えされる。一致検出手段1464は一致検出するとパケットの波形復元が完了した旨の信号 $DECend$ を出力する。リピート数カウンタ1463は新たに供給されるパケットごとに0から繰り返し数を計数する。

【0047】(1. 2. 6. 2)3to8デコーダおよびスイッチ手段

パケット波形復元手段146の出力 $DEC1[0, 2]$ の3ビットは3to8デコーダ147に供給される。3to8デコーダ147はデコード結果をクロック $CLK(f)$ で8本の出力の同期化をとってスイッチ手段17に供給する。この同期化は8本の $SW[0, 7]$ の信号線のスキューをなくし、レーザ駆動波形の波形変形を低減するものである。

【0048】図28に3to8デコーダとスイッチ手段回りの関係を示す。また図29に3to8デコーダの変換論理例を示す。この3to8の出力により図28に示した $SW1$ から $SW7$ のスイッチがオン・オフ制御される。この結果、電流設定手段より供給される電流 I_n が電流増幅手段18を介して増幅され、さらにスイッチ手段17で選択された電流が加算手段20で加算され切替手段21および駆動手段22を介してレーザダイオード25を電流駆動する。これによって所望のマークおよびスペースに対応するレーザ駆動波形を再現し、所望の光パワーを得ることができる。電流設定手段19はたとえば D/A 変換手段で構成される。

【0049】(1. 2. 7)記録ストラテジの書換え
光ディスク装置の動作としては、ディスク種類検出手段2あるいは記録再生特性検出手段3の出力値に応じて駆動波形情報記憶手段の記憶内容、つまり記録ストラテジを書換える。記録媒体の材質によって記録ストラテジが異なる場合、同一種類の記録媒体であってもばらつきなどの再生特性によって記録ストラテジを変更するなどの場合に書換えを行う。

【0050】書換えは、コントローラ1よりシリアルで供給するアドレスとデータの対でレーザ駆動集積回路27に供給する。レーザ駆動集積回路27はデータレジスタ5およびアドレスレジスタ6にシリアルで取り込む。データおよびアドレスはクロック $CLK(f/n)$ に同期して転送するので、データ転送区間を示す $DataTX$ とアドレス転送区間を示す $AddTX$ 信号をもとに各レジスタにシリアルに取り込む。この取り込んだデータ $D[0, 41]$ 、アドレス CAD は並列化され駆動波形情報記憶手段11に供給される。 CAD は切替手段10を介して供給される。これら切替手段10などのモードに関する制御信号は動作モードレジスタ7より供給され制

御される。この動作モードレジスタ 7 の値は先と同じように、アドレスとデータの組でコントローラ 1 より供給されデータレジスタ 5、アドレスレジスタ 6 を介して記憶される。また電流設定手段 1 9 の出力電流値の設定も同様にして設定される。

【0051】これにより、各種媒体に対応できるとともにより最適な駆動波形で記録し記録データの信頼性を高めることが可能になる。

【0052】（1. 3）第 1 の実施例の効果
第 1 の実施例には以下の効果がある。

【0053】（1）いわゆる記録ストラテジ（駆動波形群）を書換え可能な記憶手段に記憶してレーザを駆動するので、この記録ストラテジ（駆動波形群）を書換えることにより各種記録媒体に対応できる。また同一の記録媒体においてもリアルタイムで最適な記録ストラテジに変更ができより信頼性の高い記録が可能となる。

【0054】（2）レーザ駆動波形を固定部がわからの NRZI 信号および分周化されたクロックをもとに内部で倍して動作出力するので、フレキシブル配線長による従来の制御信号のスキューの問題や、不要輻射の問題を低減することができる。

【0055】（3）駆動波形を少ない情報量で表現できるのでレーザ駆動集積回路の回路規模を低減できる。

【0056】（4）駆動波形の記憶をシリアル信号で受信可能にしているのでフレキシブル配線の本数を低減できる。

【0057】（5）少なくとも 2 のレーザダイオードを駆動する駆動回路を内蔵し、それぞれに対応する記録ストラテジに切替が可能になるので、各種ディスクに対応できるとともに、装置の小型化が可能になる。

【0058】（6）多チャンネルの電流源を内蔵しているので、フレキシブル配線の信号線数を低減できるとともに、装置の小型化が可能となる。

【0059】（7）このように集積化して、信号線を低減しているので、レーザ駆動集積回路をよりレーザダイオードに近接して配置する自由度が高くなり、高速記録時の駆動波形のなまりなどを低減することができる。

【0060】（2）第 2 の実施例

（2. 1）第 2 の実施例の構成

図 2 に本発明の第 2 の実施例を示す。第 1 図と同一の機能を有するものは同一の番号を付している。図 1 の実施例と異なる点は、駆動波形情報記憶手段（2）13 を新たに追加した点である。この実施例の狙いは、第 1 の実施例の駆動波形情報記憶手段 11 の記憶容量を 2 つの駆動波形記憶手段 11、13 の構成にすることにより、トータルの情報記憶容量を低減し集積回路化を容易にすることである。

【0061】（2. 2）第 2 の実施例の動作

（2. 2. 1）駆動波形を部分パターンで表現

図 6、図 7 に示した駆動波形例の Top 部、Repeat

部、Tail 部、スペース Top 部およびスペース Repeat 部の各部分に着目すると、各部での駆動波形を部分パターンと称すと、各部の部分パターンの数は第 1 の実施例の駆動波形パターン数 27 に比し非常にすくない。

【0062】図 21 に各部のとり部分パターンを示す。Top（1）部（図 6 の a1 の領域）では 2 パターン、Top（2）部（図 6 の a2 の領域）では 5 パターン、Repeat 部（図 6 の b の領域）では 2 パターン、Tail 部（図 6 の c の領域）では 2 パターン、スペース部（図 6 の d、e の領域）では 3 パターンとなる。図 21 は各部分パターンを前述した第 2 の記述方法で記述している。レベル Ln を 3 ビット、繰り返し数 RLn を 2 ビット割り当てるとすべての部分パターンの記述に必要なビット数は 116 ビットで済む。

【0063】（2. 2. 2）インデックス情報で部分パターン選択

また各マーク長に対する駆動波形は、各部においてどの部分パターンを使用するかを記憶すれば、第 1 の実施例とどのように計 27 パターンを表現することができる。

1 つの駆動波形を部分パターンの選択コードで表現すると、8 ビットで表現できる。この部分パターン選択コードで記述した駆動波形情報をここではインデックス情報と称す。このインデックス情報のビット数は 8 ビット × 27 波形で 216 ビットとなる。この結果インデックス情報と部分パターン情報の総計は 332 ビットである。第 1 の実施例では 42 ビット × 27 波形であったので 1134 ビットである。よって約メモリ容量を 1/3 に低減することができる。

【0064】図 22 は 3T、4T、5T 以上各マーク長に対するインデックス情報を具体的に示した図である。PcT1 は Top a（1）の部分パターンの選択コード、PcT2 は Top（2）の部分パターン選択コード、以下同様に、PcMR は Repeat 部、PcTa は Tail 部および PcS はスペース部の部分パターンの選択コードを示している。

【0065】この図 22 のインデックス情報を駆動波形情報記憶手段 11 に記憶し、図 21 に示した各部の部分パターンを各部毎に準備したテーブルに記憶し、インデックス情報をもとにテーブルより部分パターンを選択して、前実施例と同様にパケット群として駆動波形復元手段 14 に供給する。

【0066】（2. 2. 3）駆動波形情報記憶手段 11（インデックス情報の記憶）

図 23 の（2）にこの実施例の駆動波形情報記憶手段 11 のインデックス情報の記憶イメージを示す。出力は前述のように計 8 ビットである。

【0067】（2. 2. 4）駆動波形情報記憶手段 13（部分パターンの記憶）

図 24 にこれに対応する駆動波形情報記憶手段 13 の構

成を示す。駆動波形情報記憶手段 1 3 は、1 3 1 から 1 3 5 の各部の部分パターンを記憶するテーブル、およびテーブル内容を書込むときにコントローラ 1 からのアドレス CAD の上位ビットに対応したテーブルを選択する更新テーブル選択制御手段 1 3 6 より構成されている。インデックス情報は切替手段 1 2 を介して供給される。切替手段 1 2 は駆動波形情報記憶手段 1 1 からのインデックス情報か書換え時のコントローラ 1 からのアドレス CAD の切替を行う。

【0 0 6 8】インデックス情報により各部の部分パターンが選択され駆動波形復元手段 (2) 1 4 に供給される。各テーブルの部分パターンのパケット情報を図に示すように P T 1、P T 2 P M R、P T a、P S と表現している。

【0 0 6 9】(2、2、4) 駆動波形復元手段 (2) 図 2 5 にこれに対応する駆動波形復元手段 (2) 1 4 の構成を示す。第 1 の実施例の駆動波形復元手段 (1) と異なる点は、部分パターンを (L、R L) と (L 1、L 2) の 2 種類のパケットを使用している点である。(L 1、L 2) パケットは R e p e a t 部に使用され、これは第 1 の実施例と同じである。他は (L、R L) パケットで部分パターンを記述している。よって、パケット波形復元手段 (2) 1 4 8 が設けられている。R e p e a t 部の部分パターンパケット P M R がパケット波形復元手段 (1) に供給され、他の部分の部分パターンのパケットがパケット波形復元手段 (2) に供給される。

【0 0 7 0】駆動波形復元シーケンサ 1 4 2 は前述と同様に T o p a 部 P T 1 パケットから順にパケット選択手段を介してパケット波形復元手段に供給していく。パケット波形復元手段 (1) 1 4 6、パケット波形復元手段 (2) 1 4 8 の出力が切替手段 1 4 9 で選択され 3 t o 8 デコーダ 1 4 7 に供給される。

【0 0 7 1】(2、2、4、1) パケット復元手段 (2)

図 2 0 の (2) にパケット波形復元手段 (2) の構成を示す。パケットが (L、R L) となっている点、リピート数カウンタ 1 4 8 3 のクロックが C L K (f) となっている点である。

【0 0 7 2】(2、3) 第 2 の実施例の効果

第 1 の実施例の効果に加え、第 2 の実施例ではさらに以下の効果がある。駆動波形を部分パターンとその部分パターンを選択するインデックス情報で記述することにより、前述の第 1 に実施例に比べ、レーザ駆動集積回路に内蔵する駆動波形情報記憶手段 (メモリ) の容量を 1 / 3 に低減することができる。

【0 0 7 3】(3) 第 3 の実施例

次に本発明の第 3 の実施例を説明する。

【0 0 7 4】(3、1) 第 3 の実施例の構成

図 3 に第 3 の実施例の構成図を示す。この構成は第 2 の実施例の構成において、マーク・スペース長検出手段

8、アドレス生成手段 9、切替手段 1 0 および駆動波形情報記憶手段 (1) 1 1 をレーザ駆動集積回路 2 7 より削除し固定部側に設けた点である。その代わりレーザ駆動集積回路 2 7 にはマーク長 M (n) とスペース長 S

(n) を検出するマーク・スペース長検出手段 (2) を設けている。動作は第 2 の実施例と同じである。

【0 0 7 5】(3、2) 第 3 の実施例の効果

この実施例は、駆動波形情報記憶手段 (2) 1 4 で部分パターンを記憶するのでトータルの駆動波形情報の記憶容量をさらに 1 / 3 に低減でき、レーザ駆動集積回路の規模を低減することができる。インデックス情報はフレキシブル配線で供給される。配線数は 8 本増加するが、インデックス情報はマークとスペースの組で 1 回転送すればよく N R Z I 信号の最低でも 1 / 6 の信号スピードで済む。よってデータを高速に転送する必要はなく、高速化に伴う不要輻射は配線長に伴うスキューなどの問題はない。また、インデックス情報を 4 ビット + 4 ビットと 4 本の配線で時間的に多重化してレーザ駆動集積回路に供給し、受けて 8 ビットに復元することにより配線数を低減することも可能である。

【0 0 7 6】(4) 第 4 の実施例

次に本発明の第 4 の実施例を説明する。第 1 から第 3 の実施例と異なる点は、第 1 から第 3 の実施例が周期 T (N R Z I 信号が変化する最小時間単位) に対して T / 2 時間を最小時間単位とした駆動波形の記憶および復元を行う実施例であったが、第 4 の実施例は、T / m (m は整数値) を最小時間単位とした駆動波形の記憶および復元を行う点である。

【0 0 7 7】(4、1) 第 4 の実施例の構成

図 3 0 に第 4 の実施例の構成図を示す。1 は C o n t r o l l e r (コントローラ)、2 はディスクの種類を検出するディスク種類検出手段、3 はディスクの記録再生特性を検出する記録再生特性検出手段である。これらは光ディスク装置の固定部側 (メイン基板) に配置される。2 7 はレーザ駆動集積回路で第 1 のレーザダイオード 2 5、第 2 のレーザダイオード 2 4 とともに光ピックアップに搭載されディスク記録再生トラック位置に対応して可動する。固定部側と可動部側はフレキシブルケーブル 2 6 を介して信号が供給される。

【0 0 7 8】レーザ駆動集積回路 2 7 は以下の構成要素より成る。8 はコントローラ 1 より供給される 2 値化記録信号 N R Z I よりマーク長とスペース長を検出する M a r k & S p a c e l e n g t h d e t e c t o r (マーク・スペース長検出手段)、9 はマーク・スペース長検出手段 8 の検出結果をもとにアドレス信号 D A D を出力する W a v e f o r m M e m o r y A d d r e s s g e n e r a t o r (4) (アドレス生成手段 (4))、1 1 はアドレス信号 D A D に対応して選択された駆動波形情報を出力する W a v e f o r m M e m o r y (3) (駆動波形記憶手段 (3))、1 4 は駆動

波形記憶手段(3)11の出力情報をもとにレーザ駆動波形を復元するWaveform Decoder

(3)(駆動波形復元手段(3))、32は駆動波形復元手段(3)14の出力信号DDとRead APC

(再生パワーコントローラ)28の出力信号を加算するAdder(デジタル加算手段)、28は再生時のレーザ駆動電流を制御するRead APC(再生パワーコントローラ)、31はデジタル加算手段32の出力信号を入力値として対応する出力電流を出力するHigh speed Current DAC(高速電流DA

C:Digital to Analog Converter)、30は再生時にレーザ駆動電流を高周波で振幅変調するHigh Frequency Modulator(高周波重畳回路)、21は高速電流DAC31と高周波重畳回路30の出力の電流的に加算された電流信号をレーザダイオード24、25のいずれかにみちびく切替手段、22は切替手段21の出力の一方の電流信号を増幅してレーザダイオード25を電流駆動するCurrent Amp&Drive(1)(駆動手段

(1))、23は切替手段21の出力の他方の電流信号を増幅してレーザダイオード24を電流駆動するCurrent Amp&Drive(2)(駆動手段

(1))、15はコントローラ1から供給されるクロック信号CLKをnてい倍したチャンネルクロック(周期T)信号chCLKを出力するPLL(1)(nてい倍回路)、51はコントローラからのシリアルデータ信号SDIOとその同期用クロック信号SCLKおよびシリアルデータSDIOの転送区間を示すイネーブル信号SENBをもとにコントローラ1とレーザ駆動集積回路27間のデータのやり取りをシリアルで行うSerial I/O interface(シリアルI/F部)、5はSDIO信号よりデータ部に対応するデータを取り込むデータレジスタ、6はSDIO信号よりアドレス部に対応するアドレス値を取り込むアドレスレジスタ、7はシリアルI/F51を介してコントローラ1より設定される動作モードを記憶するOperation mode register(動作モードレジスタ)、4はコントローラ1からの記録/再生状態を指示する信号WGateと2値化記録信号NRZI、チャンネルクロック信号chCLKおよび動作モードレジスタの示すモードに対応して各種の動作タイミング信号を出力するOperation timing generator(タイミング生成手段)である。

【0079】(4.2)第4の実施例の動作

以下、この第4の実施例の動作および各部の詳細について説明する。

【0080】(4.2.1)第4の実施例の動作概要
マーク・スペース長検出手段(1)8は第1から第3の実施例と同様に、コントローラ1より供給される2値化記録信号NRZI(周期Tを単位に変化する)とnてい

倍回路15より供給されるチャンネルクロック信号chCLK(周期T)をもとに、先行するスペース長S(n-1)、マーク長M(n)および後続スペース長S

(n)を出力する。この出力はアドレス生成手段(4)

9に供給される。アドレス生成手段(4)9は、S(n-1)、M(n)およびS(n)と動作モードレジスタ7の動作モードとタイミング生成手段4より供給される信号dNRZI(1)(NRZI信号を所定時間遅延させた信号)および駆動波形復元手段(3)14より供給

されるパケット要求信号P_REQをもとに駆動波形情報記憶手段(3)11に対するアドレス信号DADを出力する。駆動波形情報記憶手段(3)11はアドレス信号DADに対応して駆動波形情報Packet(value)を出力する。駆動波形復元手段(3)14は、駆動波形情報Packet(valued)およびM

(n)、S(n)、chCLKおよびタイミング生成手段4より供給される信号dNRZI(2)(NRZI信号をさらに所定時間遅延させた信号)をもとに駆動波形を復元する。デジタル加算手段32は駆動波形復元手段(3)14の出力信号DDと再生パワーコントローラ28より供給される再生時のレーザ駆動電流値情報が加算される。この加算結果が高速電流DAC31に供給され電流に変換される。高速電流DAC31の出力電流はさらに高周波重畳回路30より供給される振幅変調された電流がアナログ的に加算され切替手段21に供給される。駆動手段22は切替手段21の一方の出力より供給される電流を増幅しレーザダイオード25を電流駆動する。駆動手段23は切替手段21の他方の出力より供給される電流を増幅しレーザダイオード24を電流駆動する。切替手段21は動作モードレジスタ7によって制御される。

【0081】ディスクからのデータ再生時は、再生パワーコントローラ28からの再生時のレーザ駆動電流値情報に対応した電流値と高周波重畳回路からの振幅変調電流が加算されてレーザダイオード25あるいは24を電流駆動する。またディスクへのデータ記録時は、駆動波形復元手段(3)14の出力信号DDと再生時のレーザ駆動電流値情報が加算され電流変換された電流がレーザダイオード25あるいは24を電流駆動する。高周波重畳回路30、再生パワーコントローラの動作はシリアルI/F51を介してコントローラ1より制御される。

【0082】駆動波形情報記憶手段(3)11の駆動波形情報の記憶は、シリアルI/F51を介してコントローラ1より供給されるアドレス値とデータ値が駆動波形情報記憶手段(3)11に供給され対応するアドレスにデータを記憶する。この時切替手段10はシリアルI/F51からのアドレス信号CADが駆動波形情報記憶手段(3)11に供給されるように切替えられる。

【0083】(4.2.2)第4の実施例の駆動波形とその記述方法

(4. 2. 2. 1) 第4の実施例の駆動波形例

図36に第4の実施例の駆動波形例を示す。図中の1)は周期Tのチャンネルクロック信号chCLK、2)は2値化記録データであるNRZI信号、3)は駆動波形、4)は駆動波形のレベル変化点位置(各周期Tの開始時点からの時間)、6)は区間を示している。この例は区間■から■が5T長のマーク、区間■から■が3T長のスペース、区間■から○llが3T長のマークを記録する例である。図中3)の縦軸Pw、Ppre、Per、PclおよびPbは駆動波形のレベル(駆動電流値の大きさに対応)を示している。

【0084】区間■の変化点位置Tpreから区間■の変化点位置TtopまでがPreパルス、Ttopから区間■の開始位置までがTopパルス、区間■および■がMultiパルス、区間■の開始位置から変化点位置TerまでがCoolingパルス、変化点位置Terから次のマークの変化点位置TpreまでがEraseパルスである。

【0085】図中a印の部分は変化点位置Tpre後のレベルがマーク長M(n)や先行スペース長S(n-1)、後続スペース長S(n)などに依存して変化することを示している。また変化点位置Ttopの位置がS(n-1)、M(n)、S(n)に依存して変化することを示している。図中b印の部分は変化点位置Tclの位置がS(n-1)、M(n)、S(n)に依存して変化することを示している。図中c印の部分も同様に、変化点位置TerがS(n-1)、M(n)、S(n)に依存して変化することを示している。変化点位置Tpre後のレベルをPpreとするとこの例ではS(n-1)、M(n)、S(n)に依存してPpre、Ttop、TclおよびTerが変化する。ここではPpreおよびTtopは先行スペース長S(n-1)とマーク長M(n)に依存し、S(n-1)'={3T/4T/5T以上}の3ケースとM(n)'={3T/4T/5T以上}の3ケースの積S(n-1)'*M(n)'の9ケースでその値が変化するとする。またTclとTerはM(n)'={3T/4T/5T以上}の3ケースとS(n)'={3T/4T/5T以上}の3ケースの積S(n)'*M(n)'の9ケースでその値が変化するとする。駆動レベルPpreのレベル変化の最小単位は、高速電流DAC31の分解能に依存し、変化点位置Ttop、TclおよびTerの時間的変化の最小単位は後述する変化点位置タイミング生成手段1407の時間分解能T/m(mは整数値)に依存する。またMultiパルス数は3Tマークは0個、4Tマークは1個、5Tマークは2個のようにマーク長M(n)に依存する。

【0086】図中の変化点位置TpreとTmpはS(n-1)、M(n)、S(n)に依存せず、予め定めた変化点位置で駆動波形のレベルが変化するものとす

る。また、Tpre後のレベルPpreを除いた各変化点位置後の駆動波形のレベル値Pw、Per、PclおよびPbもS(n-1)、M(n)、S(n)に依存せず、予め定めたレベル値とする。

05 【0087】(4. 2. 2. 2) 第4の実施例の駆動波形記述方法

第4の実施例の駆動波形記述方法は、変化点位置CPとその後のレベルLをペアとし、これを最小駆動波形記述単位にして駆動波形を記述する。この2組の最小駆動波形記述単位とその属性を1Packet(パケット)にして、1T区間の駆動波形を記述する。パケットの構成は以下の如くである。

【0088】Packet=(CP-1、L-1、CP-2、L-2、属性)

15 ここでCP-1は、T区間で最初に駆動波形のレベルが変化する位置を示し、T区間の開始点からの時間である。L-1は、変化点位置CP-1後のレベルを示す。CP-2はT区間(後続区間でも可)でCP-1後にレベルが変化する位置(T区間の開始点からの時間)を示す。L-2は変化点位置CP-2後のレベルを示す。属性はこのパケットの属性を示し、ここではR-flagとしている。R-flagはこのパケットがT単位で繰り返されることを示すフラグである。

25 【0089】(4. 2. 2. 3) 第4の実施例の駆動波形記述例

図37に前述した駆動波形の記述例を示す。第1列は区間、第2列はマーク/スペースの区別、第3から第7列が各区間におけるパケット内容を、第8列はパケットの機能を示している。

30 【0090】図36の駆動波形と対比しながら記述例を説明する。区間■のPreパルスパケットは(CP-1、L-1、CP-2、L-2、R-flag)=(0、Ppre、Tpre、Ppre、0)である。CP-1=0は、マークの開始位置においてそのレベルをPpreに強制設定する意味である。本来駆動波形上にはCP-1=0において変化点はないがマークの初期レベルをこれによって設定している。回路の暴走時に過去の誤ったレベル値を継続するのを避けるためである。この処理はスペースの開始位置においても、この仮想変化点を設け同様な処理を行わせている。この初期化仮想変化点の位置を図36の5)に示している。CP-2=Tpreは区間■の開始点からTpre時間後レベルが変化することを意味し、そのレベルはL-2=Ppreである。R-flag=0はこのパケットは繰り返しを行うパケットでは無いことを示す。同様に区間■のTopパルスパケットは(Ttop、Pw、無、*、0)である。CP-2=無はCP-1後に同区間において変化点がないことを示す。よってCP-2後のレベルはドントケアとなる。区間■および■はMultiパルスリピー

40

45

50 トパケットで(0、Pw、Tmp、Pb、1)である。

このMultiパルスリピート packets を1T単位で繰り返すことによりマルチパルスを形成する。区間■の開始位置において駆動波形の変化点はないが、上記のMultiパルス packets を使用することにより記述に必要な packets 種類を低減している。区間■はCoolingパルス packets である。

【0091】5Tのマークの駆動波形は上記の4種類の packets で表現できる。同様に4T以上のマークはマルチパルス数が異なるのみで、上記の4種類の packets で記述できる。マルチパルス数はマーク長M(n)に依存して一義的に決まるので、M(n)を検出することにより波形を復元できる。3Tマークは区間■から示すように4T以上のマークに対してマルチパルスが無いのみで、Preパルス packets 、Topパルス packets およびCoolingパルス packets の3種類で表現できる。

【0092】区間■から■の3TスペースはErase packets (0, Pcl, Ter, Per, 0)と前値ホールド packets (無、*, 無、*, 0)と前値ホールドリピート packets (無、*, 無、*, 1)で表現できる。3T以上のスペースは前値ホールドリピート packets のリピート数が異なるのみで、同様に上記3種類の packets で表現できる。

【0093】前値ホールド packets と前値ホールドリピート packets を設けた理由は以下の如くである。図36のc印に示したようにTerの変化の範囲は区間■内にとどまらず、隣接の区間■に及ぶ場合があることを想定している。このため各CP-2の取り得る値をT以下に限定せず2T以下までを許容している。これによってCP-2<Tの場合とCP-2>Tの場合によって駆動波形の記述を変える必要はなく、1つの packets で表現することができる。この結果後述する駆動波形復元手段

(3) 14においてCP-2がT以上の場合の packets 処理を行う必要がある。この処理を容易にするため、後続する packets を前値ホールド packets にしてCP-2>Tの場合の吸収用とし、繰り返しをする前値ホールドリピート packets と区別している。同様に、マーク記述 packets においてもその packets に変化点が1つしか存在しないTopパルス packets (Ttop, Pw, 無、*, 0)を(無、*, Ttop, 0)とすることにより、先行する packets のCP-2を2T以下まで拡張することができる。図36の波形例では、先行する packets のCP-2はTpreで、Tpre<Tでかつ変化しないものとしているので前記の記述をしている。

【0094】(4. 2. 2. 4) 変数および変数値テーブルを用いた駆動波形記述

以上をまとめると、3Tマークは3個の packets で、4T以上のマークは4個の packets で、スペースはスペース長によらず3個の packets で表現できる。ただ、この波形の表現はS(n-1)、M(n)およびS(n)に

依存して変化するパラメータPpre、Ttop、Tcl、Terを変数として、またS(n-1)、M(n)およびS(n)に依存しないパラメータTpre、Ttp、Pw、Per、Pcl、Pbを定数として表現したままで、実際の波形を記述している訳ではない。S(n-1)、M(n)およびS(n)に依存して変数の具体的な値を設定することにより波形の完全な記述と復元が可能になる。

【0095】そこで、第4の実施例では上記の変数および定数を用いた波形の記述とS(n-1)、M(n)およびS(n)に依存して配置した変数値テーブルおよび定数値テーブルを準備する構成にしている。これにより変数値および定数値のラベルで表現した packets (インデックス packets と称す)を実際の値で表現した packets (バリュード packets と称す)に変換する構成にしている。

【0096】図38に変数と定数を用いたマークおよびスペースの記述を示す。@CP-1、@L-1、@CP-2、@L-2はそれぞれCP-1、L-1、CP-2およびL-2の変数(ラベル)を示している。同様に@Tpre、@Ppreなど@がついたものは値そのものではなく、変数あるいは定数のラベルを意味している。変数値テーブルおよび定数値テーブルの構成を図39に示す。この両者によって図38に示すラベルで表現されたインデックス packets が図39の変数値および定数値で置き換えられ実際の値によるバリュード packets が生成される。このバリュード packets が駆動波形復元手段(3) 14で packets 単位に駆動波形が復元される。

【0097】以下、第4の実施例の各部の構成および動作について説明する。

【0098】(4. 2. 3) 第4の実施例のアドレス生成手段(4)

図32に第4の実施例のアドレス生成手段(4) 9の構成を示す。このアドレス生成手段(4) 9はWaveform description memory address generator (駆動波形記述メモリアドレス生成手段) 900とTable address generator (テーブルアドレス生成手段) 910よりなる。

【0099】(4. 2. 3. 1) 駆動波形記述メモリアドレス生成手段

駆動波形記述メモリアドレス生成手段900は、図38に示したWaveform Description memory (駆動波形記述メモリ) 110に格納されているマークおよびスペースを記述するインデックス packets を選択するアドレスを生成する。この駆動波形記述メモリアドレス生成手段900は、マークを記述した packets 系列かスペースを記述した packets 系列かのいずれかを選択するためのMark/Space Waveform select (マーク/スペース記述波形

選択手段) 901と、マーク記述波形のうち、3Tマークを記述したバケット系列か4T以上のマークを記述したバケット系列かのいずれかを選択するためのMark Waveform select (マーク記述波形3T/4T選択手段) 902および選択されたバケット系列に対して各バケットのアドレスを生成するPacket address generator (バケットアドレス生成手段) 903より構成される。

【0100】マーク/スペース波形記述選択手段901はタイミング生成手段4より供給されるdNRZI

(1) 信号(NRZI信号を所定時間遅延させた信号)をもとに出力信号M/SSELを出力する。マーク記述波形3T/4T選択手段902はマーク・スペース長検出手段8より供給される検出マーク長M(n)をもとに出力信号M_WF_SELを出力する。バケットアドレス生成手段903は後述する駆動波形復元手段

(3) 14より供給されるバケット要求信号P_REQをもとに出力信号P_addrを出力する。出力信号M/SSEL、M_WF_SELおよびP_addrをまとめてDAD(0)とする。

【0101】(4. 2. 3. 2) テーブルアドレス生成手段

図33にテーブルアドレス生成手段910の構成を示す。このテーブルアドレス生成手段は、マーク・スペース長検出手段8より供給される先行スペース長S(n-1)、後続スペース長S(n)およびマーク長M(n)をもとに、前述した変数に対応した変数値が配置されたテーブルのアドレスを生成する。各変数はS(n-1)、S(n)およびM(n)に依存して値が異なり、また変数によってS(n-1)、S(n)およびM(n)の依存度が異なる。このテーブルアドレス生成手段910は下記の4種類依存モードを持たせている。これをセクタ916、917で選択可能にしている。

【0102】911はmode(1) addressing generator (モード(1) アドレス生成手段) で、S(n-1)とM(n)に対してS(n-1)' = {3T/4T/5T以上} の3ケースとM(n)' = {3T/4T/5T以上} の3ケースの積S(n-1)' * M(n)' の9ケースに対応するテーブルアドレスを出力する。912はmode(2) addressing generator (モード(2) アドレス生成手段) で、S(n)とM(n)に対してS(n)' = {3T/4T/5T以上} の3ケースとM(n)' = {3T/4T/5T以上} の3ケースの積S(n)' * M(n)' の9ケースに対応するテーブルアドレスを出力する。913はmode(3) addressing generator (モード(3) アドレス生成手段) で、M(n)に対してM(n)' = {3T/4T/、、、/11T以上} の9ケースに対応するテーブルアドレスを出力する。914はmode(4)

addressing generator (モード(4) アドレス生成手段) で、S(n)に対してS(n)' = {3T/4T/、、、/11T以上} の9ケースに対応するテーブルアドレスを出力する。

【0103】モード(1) からモード(4) のアドレス生成手段の出力はセクタ916および917にそれぞれ供給される。セクタ916は各モードアドレス生成手段の出力のうち1つを選択し出力する。選択するモードアドレスはTable address mode register (テーブルアドレスモードレジスタ) 915により設定される。同様にセクタ917は各モードアドレス生成手段の出力のうち1つを選択し出力する。セクタ916の出力信号DAD(1)は後述するVariable Values table(1) (変数値テーブル(1)) 112のアドレス信号となる。またセクタ917の出力信号DAD(2)は後述するVariable Values table(2) (変数値テーブル(2)) 113のアドレス信号となる。図36に示した駆動波形例に対応して、セクタ916はモード(1) アドレス生成手段911の出力S(n-1)' * M(n)' を選択する。またセクタ917はモード(2) アドレス生成手段912の出力S(n)' * M(n)' を選択する。

【0104】駆動波形記述メモリアドレス生成手段900の出力信号DAD(0)とテーブルアドレス生成手段910の出力信号DAD(1)とDAD(2)をまとめてアドレス生成手段(4) 9の出力信号DADとする。このアドレス信号DADは切替手段10を介して駆動波形情報記憶手段(3) 11に供給される。

【0105】(4. 2. 4) 駆動波形情報記憶手段(3)

図34に第4の実施例の駆動波形情報記憶手段(3) 11の構成を示す。この駆動波形情報記憶手段(3) 11は、前述したインデックスバケットで記述された駆動波形を記憶する駆動波形記述メモリ110、各変数に対応する変数値および定数値を記憶する変数値記憶メモリ111、駆動波形記述メモリ110より出力されるインデックスバケットのデータPacket(indexed) = (@CP-1, @L-1, @CP-2, @L-2, R-flag) を一旦取り込むバケット(インデックス)レジスタ115、バケット(インデックス)レジスタ115の@CP-1, @L-1, @CP-2, @L-2の内1つを選択してセクタ118の制御信号として出力するセクタ116、セクタ116を制御するPacket decode control (パケットデコード制御手段) 117、変数値記憶メモリ111から供給される変数値VAR1からVAR4および定数値VAR5からVARm(mは整数値)の内、セクタ116の出力信号に対応して1つを選択し、その選択した出力をバケット(数値)レジスタ119の所定の位置の

レジスタに供給するセレクト 1 1 8、セレクト 1 1 8 の出力より供給される各変数および定数に対応する値をもとにバリュードバケット Packet (value d) = (CP-1, L-1, CP-2, L-2, R-flag) を一旦記憶するバケット (数値) レジスタ 1 1 9 より成る。

【0106】(4. 2. 4. 1) 駆動波形記述メモリ 図 3 8 に駆動波形記述メモリ 1 1 0 の構成を示す。1 1 0 1 は Mark write waveform memory (マーク駆動波形記述メモリ部)、1 1 0 2 は Space write waveform memory (スペース駆動波形記述メモリ部) である。図中の第 1 列の # 1 ~ 1 0 はマーク駆動波形記述メモリ部 1 1 0 1 とスペース駆動波形記述メモリ部 1 1 0 2 を 1 つのメモリで構成した場合のインデックスバケットのアドレスを示している。第 2 列の M (n) および S (n) はマーク長およびスペース長を示している。第 3 列の T はマークおよびスペースの開始時点からの T 単位の区間を示している。第 4 列から 8 列は各インデックスバケットの内容を示している。前述したように、駆動波形記述メモリ 1 1 0 には変数および定数のラベルを用いて各駆動波形を記述している。@ はラベルであることを示している。

【0107】駆動波形記述メモリ 1 1 0 は、前述のアドレス生成手段 (4) 9 より供給される DAD (0) 信号でアドレスが指定され、指定されたインデックスバケットを出力する。DAD (0) のうち M/S_SELECT 信号がマーク駆動波形記述メモリ部 1 1 0 1 (# 1 ~ # 7) かスペース駆動波形記述メモリ部 1 1 0 2 部 (# 8 ~ # 1 0) を選択する。M_WF_SELECT 信号がマーク駆動波形記述メモリ部 1 1 0 1 の 3 T マーク駆動波形 (# 1 ~ # 3) か 4 T 以上のマーク駆動波形 (# 4 ~ # 7) を選択する。P_addr 信号が第 3 列に示すように各駆動波形のインデックスバケットのアドレスを選択する。

【0108】駆動波形記述メモリ 1 1 0 は、アドレス信号 DAD (0) によって選択されたインデックスバケットのデータ Packet (indexed) = (@CP-1, @L-1, @CP-2, @L-2, R-flag) を出力する。例えば、3 T マークの T = 1 が選択されるとその出力は Packet (indexed) = (@0, @Per, @Tpre, @Ppre, 0) となる。この出力信号 Packet (indexed) がバケット (インデックス) レジスタ 1 1 5 に一旦格納される。

【0109】Packet (indexed) の各 @CP-1, @L-1, @CP-2, @L-2 は、変数値記憶メモリ 1 1 1 から出力される VAR1 ~ VARm の内いずれを選択するかの情報となる。例えば @L-2 = @Ppre の場合、変数 Ppre に対応する VARx を選択する。よって m の数に依存して各ラベルの必要ビット

数が決まる。m < 1 6 とすれば 4 ビット以下で済む。よってインデックスバケットのサイズは 4 ビット × 4 ラベル + 1 ビット (R-flag) の計 1 7 ビットで構成される。この実施例では駆動波形記述メモリ 1 1 0 は 1 0 5 個のインデックスバケットでマークおよびスペースの駆動波形を記述できるので、メモリサイズは 1 7 ビット × 1 0 バケットで 1 7 0 ビットで済む。

【0110】(4. 2. 4. 2) 変数値記憶メモリ

図 3 9 に変数値記憶メモリ 1 1 1 の構成を示す。変数値記憶メモリ 1 1 1 は S (n-1) ' * M (n) ' に依存して値の変わる変数 VAR1, VAR2 の各変数値を格納する variable values table (1) (変数値テーブル (1)) 1 1 1-1, S (n) ' * M (n) ' に依存して値の変わる変数 VAR3, VAR4 の各変数値を格納する variable values table (2) (変数値テーブル (2)) 1 1 1-2 および定数 VAR5 から VAR13 の値を格納する Constant values table (定数値テーブル) 1 1 1-3 よりなる。この実施例では、変数値テーブル (1) のアドレッシングモードは上記のようにモード (1) アドレス生成手段 9 1 1 の出力としている。また変数値テーブル (2) のアドレッシングモードは上記のようにモード (2) アドレス生成手段 9 1 2 の出力としている。この各テーブルのアドレッシングモードは 4 つのモードよりそれぞれ独立に設定できることは前述した。

【0111】図 3 9 では変数 VAR1 に変数 Ppre を、VAR2 に変数 Ttop を対応させて各値を配置している。また変数 VAR3 に変数 Tc1 を、VAR4 に変数 Ter を対応させて各値を配置している。定数 VAR5 ~ VAR11 に定数 0 値、Tpre, Tmp, Pw, Per, Pcl, Pb を配置している。定数 VAR12 は変化点が無いことを示すコードである。VAR13 は未使用としている。

【0112】図中の A (x, y) は S (n) あるいは S (n-1) が x で M (n) が y の時の変数 A の値を意味している。また、5 Te はマーク長あるいはスペース長が 5 T 以上を意味している。

【0113】変数値テーブル (1) 1 1 1-1 は、アドレス信号 DAD (1) = S (n-1) ' * M (n) ' に対応した VAR1, VAR2 の変数値を出力する。たとえば S (n-1) ' = 3 T, M (n) ' = 5 T の場合は変数値 Ppre (3, 5) および Ttop (3, 5) を出力する。変数値テーブル (2) 1 1 1-2 は、アドレス信号 DAD (2) = S (n) ' * M (n) ' に対応した VAR3, VAR4 の変数値を出力する。たとえば S (n) ' = 3 T, M (n) ' = 5 T の場合は変数値 Tc1 (3, 5) および Ter (3, 5) を出力する。

【0114】(4. 2. 4. 3) メモリサイズ

この変数値記憶メモリ 1 1 1 のサイズは以下の如くにな

る。時間分解能 T/m を $T/20$ 、レベル分解能（高速電流 DAC 31 の分解能）を $1/256$ とすると、時間軸変数値（例えば $Tc1$ ）は 6 ビット（変化幅を $2T$ まで可としているので）、レベル変数値は 8 ビットである。変数値テーブル（1）111-1 および変数値テーブル（2）111-2 は時間軸変数およびレベル変数のいずれでも配置可能としているので、1 変数値当たり 8 ビット（大きいビット数に合わせる）が必要である。よって変数値テーブル（1）111-1 のメモリサイズは、8 ビット \times 9 ワード \times 2 変数 = 144 ビット、変数値テーブル（2）111-2 のメモリサイズは、同様に 8 ビット \times 9 ワード \times 2 変数 = 144 ビット、定数値テーブル 11.1-3 は 8 ビット \times 9 定数 = 72 ビットとなる。よって変数値記憶メモリ 111 のサイズは計 360 ビットで済む。前述の駆動波形記述メモリ 110 のサイズ 170 ビットと合わせて計 530 ビットで済む。

【0115】第 1 の実施例の 1134 ビット（図 18 参照）、インデックス情報（図 22 参照）と部分パターン情報（図 21 参照）で記述する第 2 の実施例の 332 ビットに比し、第 4 の実施例の波形記述方法は、時間軸およびレベルの制御を可能にするとともに、第 1 の実施例以下でメモリサイズを低減できる。また第 2 の実施例に比しわずかな増加で大幅な波形記述の自由度を持たせることが可能としている。

【0116】（4. 2. 4. 4）駆動波形情報記憶手段（4）

図 35 に第 4 の実施例の別の駆動波形情報記憶手段

（4）11 の構成を示す。図 34 に示した駆動波形情報記憶手段（3）11 との違いはセクタ 118 を多重化してインデックスドパケットを並列処理化してバリュードパケットを生成する構成にして処理の高速化を図っている。1181 はパケット（インデックス）レジスタ 115 の @CP-1 に対応して変数値記憶メモリ 111 から出力される変数値および定数値 VAR1 ~ VARm のうちの 1 つを選択し、パケット（数値）レジスタ 119 の CP-1 に供給するセクタ、1182 はパケット（インデックス）レジスタ 115 の @L-1 に対応して変数値記憶メモリ 111 から出力される変数値および定数値 VAR1 ~ VARm のうちの 1 つを選択し、パケット（数値）レジスタ 119 の L-1 に供給するセクタ、1183 はパケット（インデックス）レジスタ 115 の @CP-2 に対応して変数値記憶メモリ 111 から出力される変数値および定数値 VAR1 ~ VARm のうちの 1 つを選択し、パケット（数値）レジスタ 119 の CP-2 に供給するセクタ、1184 はパケット（インデックス）レジスタ 115 の @L-2 に対応して変数値記憶メモリ 111 から出力される変数値および定数値 VAR1 ~ VARm のうちの 1 つを選択し、パケット（数値）レジスタ 119 の L-2 に供給するセクタである。パケット（数値）レジスタ 119 の出力信号 Pa

cket (valued) が駆動波形記述手段（3）および（4）の出力信号となる。この出力信号は駆動波形復元手段（3）14 に供給され実際の駆動波形が復元される。

05 【0117】（4. 2. 5）第 4 の実施例の駆動波形復元手段（3）

（4. 2. 5. 1）駆動波形復元手段（3）の構成
図 40 に第 4 の実施例の駆動波形復元手段（3）14 の構成を示す。1401 は $CP-2 > T$ の場合のバリュードパケットを修正する Packet modify（パケット修正手段）、1402 は実際に駆動波形の復元に使用する Operation Packet register（実行パケットレジスタ）、1403 はリピートパケットの繰り返し処理を行う Repeat Packet control（リピートパケット処理手段）、1406 は駆動波形復元手段（3）14 の駆動波形復元の動作タイミングを制御する Packet waveform decode timing controller（パケット波形復元動作タイミング制御手段）、1407 はセクタ 1408 を介して供給される実行パケットレジスタ 1402 の CP-1、CP-2 に対応して変化点位置のタイミングを生成する Change Point Timing Generator（変化点位置タイミング生成手段）、1409 は実行パケットレジスタ 1402 の L-1、L-2 の出力信号をパケット波形復元動作タイミング制御手段 1406 から供給される制御信号 SEL_L1/2 で切替えて出力するセクタ、1408 は実行パケットレジスタ 1402 の CP-1、CP-2 の出力信号をパケット波形復元動作タイミング制御手段 1406 から供給される制御信号 SEL_CP1/2 で切替えて変化点位置タイミング生成手段 1407 に供給するセクタ、1404 はマークのリピートパケット（属性 R-flag=1 のパケット）の繰り返し数を算出するための定数を格納するマークリピート定数レジスタ、1405 はスペースのリピートパケット（属性 R-flag=1 のパケット）の繰り返し数を算出するための定数を格納するスペースリピート定数レジスタである。

【0118】（4. 2. 5. 2）駆動波形復元手段

40 （3）の動作概要

図 41 および図 42 に第 4 の実施例の駆動波形復元手段（3）14 の動作タイミング図を示す。この動作タイミングは図 36 に示した駆動波形例および図 38 および図 39 に示した駆動波形記述例に対応している。図 41 および図 42 中の 1）はチャンネルクロック chCLK（周期 T）、2）はタイミング生成手段 4 より供給される dNRZI（2）で NRZI 信号を所定時間遅延させた信号である。3）は区間を示している。4）は復元された駆動波形、5）はセクタ 1409 より出力されるレベル値（L-1 あるいは L-2）、6）は変化点位置

タイミング生成手段1407より出力される変化点位置タイミング信号CP__trgのタイミングを示す。7)はセクタ1408を介して変化点位置タイミング生成手段1407に供給される変化点位置値(CP-1あるいはCP-2)信号CPの値を示す。8)はR__flag、9)は変化点位置タイミング生成手段1407が次のパケットを要求するパケット要求信号P__REQ、10)はマーク・スペース長検出手段8より供給されるM(n)、S(n)を取り込みリピートパケットの繰り返し処理を行うリピートパケット処理手段1403の内部記憶状態を示す。11)はリピートパケット処理手段1403より出力しパケット波形復元動作タイミング制御手段1406に供給するRepeat__op__flag信号(この信号をもとにパケット波形復元動作タイミング制御手段1406はパケット要求信号P__REQを出力する)である。

【0119】駆動波形情報記憶手段(3)11より供給されるバリュードパケット信号Packet(value)はパケット修正手段1401で修正処理(詳細は後述する)されて実行パケットレジスタ1402に取り込まれる。パケット波形復元動作タイミング制御手段1406はまず実行パケットレジスタのCP-1をセクタ1408を介して変化点位置タイミング生成手段1407に供給する。変化点位置タイミング生成手段1407はCP-1に対応するタイミング(T区間の開始位置からのCP-1時間)でCP__trg信号を出力する。変化点位置タイミング生成手段1407はこのCP-1に対応するCP__trg信号をもとにセクタ1409を制御して実行パケットレジスタ1402のL-1信号をセクタ1409より出力させる。CP-1に対応するCP__trgをパケット波形復元動作タイミング制御手段1406が受け取るとセクタ1408を制御してCP-2を変化点位置タイミング生成手段1407に供給する。CP-2に対応するCP__trg信号を受け取るとセクタ1409よりL-2を出力せしめる。このセクタ1409の出力信号DD[0,7]がこの駆動波形復元手段(3)14の出力信号となる。基本的に、この1パケットの処理を1T毎に繰り返して駆動波形を復元する。

【0120】パケット波形復元動作タイミング制御手段1406は、CP-1値が変化点無を示す場合は、次のCP-2を変化点位置タイミング生成手段1407に供給する。また、CP-2値が変化点無を示す場合は、次の実行パケットのCP-1を変化点位置タイミング生成手段1407に供給する。

【0121】パケット波形復元動作タイミング制御手段1406は、実行パケットレジスタ1402に取り込まれたパケットのリピートフラグR__flag=0(非リピートパケット)の場合は、次のパケットを要求するパケット要求信号P__REQを出力する。実行パケットレ

ジスタのパケットがリピートパケット(R__flag=1)の場合は、R__op__flag=0の場合はP__REQを出力するが、R__op__flagが0より大の場合は0になるまでP__REQを出力せず、実行パケットレジスタ1402の実行パケットの処理を繰り返す。同時に、このR__op__flagが0より大の場合は、P__REQを出力すべきタイミングにてその旨(リピート処理をしている)をリピートパケット処理手段1403に信号R__op__flag__DECを出力する。

【0122】(4.2.5.3)リピートパケット処理手段

図45にリピートパケット処理手段1403の構成を示す。1410はマーク長M(n)からマークリピート定数レジスタ1404の出力値Rc__Mを減算する減算手段、1411はスペース長S(n)からスペース定数レジスタ1405の出力値Rc__Sを減算する減算手段、1412は減算手段1410と減算手段1411の出力をタイミング信号dNZIによって選択し、ダウンカウンタ1414に供給するセクタ。1414はセクタ1412の出力信号をdNZIのエッジで取り込み、パケット波形復元動作タイミング制御手段1406から供給されるR__op__flag__DEC信号でダウンカウンタし、その出力をR__op__flagとしてパケット波形復元動作タイミング制御手段1406に供給するダウンカウンタである。

【0123】リピートパケット処理手段1403はパケット波形復元動作タイミング制御手段1406リピートパケットの繰り返し処理を制御する。第4の実施例の場合(駆動波形例および駆動波形記述)は、マーク長M(n)=aTの時、リピートパケットはa-3回繰り返す。

【0124】3Tの場合は0回(リピートパケットは無)、4Tの場合は1回である。またスペース長S(n)=bTの時、リピートパケットはb-3回繰り返す。よってマークリピート定数レジスタ1404にはRc__M=3を設定する。同様にスペース定数レジスタ1405にはRc__S=3を設定する。この設定によりダウンカウンタ1414には図41の11)に示すようにdNZI(2)のエッジにてマーク/スペースに対応する値がロードされる。そしてパケット波形復元動作タイミング制御手段1406がリピートパケットを処理するごとにR__op__flag__DEC信号を出力するのでこの信号に対応してダウンカウンタ1414の値をデクリメントする。この結果所定のリピートパケットを処理するとダウンカウンタの出力信号R__op__flagが0となり、パケット波形復元動作タイミング制御手段1406はリピートパケットの繰り返し処理を止め次の非リピートパケットの処理に入る。

【0125】(4.2.5.4)パケット修正手段
パケット修正手段1401はCP-2>Tの場合、実行

パケットレジスタ1402に供給する実行パケットと後続するパケットを修正して、 $CP-2 > T$ の波形記述を可能にし、結果的に駆動波形記述メモリ111のメモリ容量を低減するとともに、記述し復元する駆動波形の自由度をましている。

【0126】図44にパケット修正手段1401の動作例を示す。この例は図36のc印部のTerがT以上に変化した場合に相当する。図中の1)はTを単位とした区間、2)はチャンネルクロックchCLK(T周期)、3)は駆動波形例、4)は $CP-1$ 、2)に対応して変化点位置タイミング生成手段1407より出力されるCP_trg信号、5)は処理前のパケットと処理後のパケットの内容を示している。

【0127】nT区間で実行すべきパケットPacket(nT)の $CP-2 = T/2$ が最小値 $\min T/2 < T$ で最大値 $\max T/2 > T$ 変化する場合は示している。 $T/2 < T$ の場合はパケット修正処理は行わない。 $T/2 > T$ の場合は以下のパケット修正処理を行う。Packet(nT)の $CP-2$ を変化点無に修正する。そして(n+1)T区間で実行すべきパケットPacket((n+1)T)の $CP-1$ を $T/2 - T$ の値に、 $L-1$ をPacket(nT)の $L-2$ の値ここではPerに修正する。この修正処理を行う前提として、Packet((n+1)T)は少なくとも $CP-1 =$ 変化点無としたパケットにしておく必要がある。このことが、前述した前値ホールドパケット(無、*、無、*、0)と前値ホールドリピートパケット(無、*、無、*、1)を分けて設けた理由である。

【0128】図43にパケット修正手段1401の処理手順を示している。

【0129】(4、2、5、5)変化点位置タイミング生成手段

変化点位置タイミング生成手段1407はセクタ1408を介して供給されるタイミング値CP(周期Tとする各区間の開始位置からの変化点位置)に対応したタイミング信号CP_trgを出力する。CP_trgの時間分解能は T/m である。

【0130】図46に変化点位置タイミング生成手段1407の構成を示す。1421はチャンネルクロックchCLK(周期T)を2分周する分周回路、1425はchCLKを入力信号とし T/m 時間ずつ遅延した $m+1$ 個(入力信号を含む)信号Dclk(0)~Dclk(m)を出力するVariable Delay line with multi-tapped(タップ付可変遅延線)である。1420はタップ付き可変遅延線の出力信号Dclk(m)を2分周する分周回路、1422は分周回路1421と1420の出力信号の位相差を検出するPhase Detector(位相検出回路)、1423は位相差検出結果に対応した直流成分を発生するCharge Pump(チャージポンプ)、

1424はループ特性を決めるローパスフィルタである。このローパスフィルタ1424の出力がタップ付可変遅延線の遅延量を制御する。1426はタップ付可変遅延線1425より出力されるタイミング信号Dclk(0)~Dclk(m)の内CPに対応する信号を選択し出力信号CP_trgとして出力するセクタである。

【0131】図47にこの変化点位置タイミング生成手段の動作タイミングを示す。この図では $m=8$ (時間分解能は $T/8$)としている。図中1)はchCLK=Dclk(0)、2)~9)はDclk(1)~Dclk(8)である。10)はchCLKを2分周した分周回路1421の出力信号、11)はDclk(8)を2分周した分周回路1420の出力信号を示している。12)は位相検出回路の出力の様子を示している。この変化点位置タイミング生成手段1407はセクタ1426を除く構成要素はいわゆるPhase Locked Loop(PLL)を構成している。図47に示したようにこのPLLは入力信号chCLK=Dclk(0)に対してDclk(8)がちょうど1T遅延し、両者の位相が一致するようにタップ付き可変遅延線の遅延量を制御する。この結果Dclk(8)は1Tの遅延となり、途中の各タップからの出力信号Dclk(n)、 $n=1\sim 8$ は、遅延量は $n \times (T/8)$ となる。セクタ1426はCP値に対応するDclk(i)の信号を選択することにより $T/8$ の時間分解能で変化点位置のタイミングを生成することができる。可変遅延線のバラツキや温度による遅延量の変化はPLLの帰還ループによって補正されるので安定したTのm分割が可能となる。

【0132】この変化点位置タイミング生成手段1407の構成はこれに限らずタップ付可変遅延線の入力に出力信号Dclk(m)を供給しVariable Controlled Oscillator(VCO)として動作させこの出力信号Dclk(m)とchCLKの位相を一致させるPLL構成にしても同様なタイミングを生成することができる。

【0133】このようにchCLKと同じ周波数で遅延量の異なる多数のタイミング信号を生成しこれを選択して変化点位置タイミング信号とした理由は以下にある。一般的にこのようなタイミング信号はchCLKのm倍の周波数のクロック信号をてい倍回路によって生成し、このm倍のクロックを用いてカウントアップしCPと比較することにより対応するタイミング生成することは原理的に可能である。しかし、光ディスクの記録再生データレートがますます高速化し、chCLKの周波数は現状で30MHz~60MHzである。よって $M=20$ 倍とすると変化点位置タイミング生成に必要なクロックの周波数は600MHz~1.2GHzとなる。これを実現するためにはレーザ駆動集積回路27のプロセスが高価なものになってしまうという難点がある。本実施例の

タイミング生成手段 1 4 0 7 の構成では変化点位置タイミング生成に必要なクロックの周波数は c h c l k と同じ周波数でよく、安価なプロセスでレーザ駆動集積回路 2 7 を実現することが可能となる。

【0 1 3 4】（4. 3）第 4 の実施例の効果

第 4 の実施例では、第 1 の実施例の効果に加え以下の効果がある。第 1 の実施例の 1 1 3 4 ビット（図 1 8 参照）、インデックス情報（図 2 2 参照）と部分パターン情報（図 2 1 参照）で記述する第 2 の実施例の 3 3 2 ビットに比し、第 4 の実施例の波形記述方法は、時間軸およびレベルの制御を可能にするとともに、第 1 の実施例以下でメモリサイズを低減できる。また第 2 の実施例に比しわずかな増加で大幅な波形記述の自由度を持たせることが可能としている。

【0 1 3 5】（5）第 5 の実施例

次に本発明の第 5 の実施例を説明する。

【0 1 3 6】（5. 1）第 5 の実施例の構成

図 3 1 に本発明の第 5 の実施例の構成を示す。第 4 の実施例と同一機能を有するものは同一の番号を付している。第 4 の実施例と異なる点はデジタル加算 3 2 と高速電流 DAC 3 1 の代わりに、コントローラ 1 からの設定によって駆動波形の各レベルに対応する電流値を出力する Write level MultiCurrent DACs（電流設定手段）1 9（第 1 の電流設定手段と同じもの）、電流設定手段 1 9 の各出力電流を駆動波形復元手段（3）1 4 の出力信号 DD に対応して選択して出力するスイッチ手段 1 7 および再生パワーコントローラ 3 2 の出力値に対応した電流を出力する Read level Current DAC（リードレベル電流供給手段）2 9 を設けたことである。

【0 1 3 7】電流設定手段 1 9 は、図 3 6 の駆動波形例の場合、Pw、Ppre、Per、Pcl および Pb の 5 値のレベルに対応して、少なくとも 5 個の独立してその出力電流が設定可能な電流出力端子を有する。駆動波形復元手段（3）1 4 の出力信号 DD（レベル信号で L-1、L-2）によってスイッチ手段 1 7 を制御し、対応するレベルの電流をスイッチ手段 1 7 より出力させる。第 4 の実施例では駆動波形復元手段（3）1 4 の出力信号 DD [0, 7] は 8 ビットの高速電流 DAC の入力信号となり、DD [0, 7] 信号そのものが駆動波形のレベルに対応していたが、第 5 の実施例では DD

[0, m] はレベルに対応した電流を選択する選択信号となる。間接的にレベルに対応する。よって 5 値のレベルの場合は DD [0, m] は 3 ビットで済む。

【0 1 3 8】変数値記憶メモリ 1 1 1 に記憶するレベル L-1、L-2 に対応する変数値および定数値は、第 4 の実施例では 8 ビットの高速電流 DAC 3 1 に対応して 8 ビットであったが、第 5 の実施例の場合はスイッチ手段 1 7 を制御する制御コードで 3 ビットとなる。変数値記憶メモリ 1 1 1 の各変数値および定数値のビット幅

は、第 4 の実施例ではレベル変数値 8 ビット、時間軸変数値 6 ビットで、大きいビット幅に合わせて 8 ビットとしていた。第 5 の実施例の場合はビット幅は大きいビット幅に合わせて 6 ビットで済むことになる。この結果、
05 第 5 の実施例の変数値記憶メモリ 1 1 1 のサイズは 6 ビット×9 ワード×2 変数×2 table+6 ビット×9 定数=2 7 0 ビットとなり第 4 の実施例に比し 6/8 に低減することができる。

【0 1 3 9】スイッチ手段 1 7 は予め入力されている 5
10 個の電流を選択して出力するので、第 4 の実施例のように DAC のセトリング時間の影響を受けずに選択信号を出力することが可能になる。

【0 1 4 0】（5. 2）第 5 の実施例の効果

第 4 の実施例に対して、変数値記憶メモリ 1 1 1 のサイズを 6/8 に低減できるとともに、駆動波形のより高速化に対応可能となる。

【0 1 4 1】

【発明の効果】以上説明したように本発明は、各種の記録媒体や媒体の特性バラツキ、変動に対応して記録ストラテジを変更することができるとともに、フレキシブル配線上の信号線数の低減および信号の歪みによる影響を低減する効果がある。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例の構成図。

25 【図 2】本発明の第 2 の実施例の構成図。

【図 3】本発明の第 3 の実施例の構成図。

【図 4】2 値化記録信号のマーク長、スペース長の状態遷移を示す第 1 の図。

30 【図 5】2 値化記録信号のマーク長、スペース長の状態遷移を示す第 2 の図。

【図 6】レーザダイオードの駆動波形の例を示す図で、マーク長 3 T、4 T の場合を示す図。

【図 7】レーザダイオードの駆動波形の例を示す図で、マーク長 5 T から 7 T の場合を示す図。

35 【図 8】マーク・スペース長検出手段の構成図。

【図 9】マーク・スペース長検出手段の動作タイミングを示す図。

【図 1 0】アドレス生成手段の第 1 の構成図。

40 【図 1 1】アドレス生成手段の第 1 の構成での 3 T、4 T、5 T 以上の 9 パターンの遷移検出結果とメモリアドレスの関係を示す図。

【図 1 2】図 1 1 のアドレス変換に対応したメモリアドレスと記憶パターンとの関係を示す図。

【図 1 3】アドレス生成手段の第 2 の構成図。

45 【図 1 4】図 1 3 のアドレス変換に対応したメモリアドレスと記憶パターンとの関係を示す図。

【図 1 5】アドレス生成手段の第 3 の構成図。

50 【図 1 6】アドレス生成手段の第 3 の構成での 3 T、4 T、5 T、6 T 以上の検出結果とメモリアドレスの関係を示す図。

【図 1 7】図 1 5 のアドレス変換に対応したメモリアドレスと記憶パターンの関係を示す図。

【図 1 8】マーク、スペースの状態遷移を 9 通りにした場合の 3 T マーク、4 T マークおよび 5 T マーク以上の各パターンの駆動波形をバケット列で記述した図。

【図 1 9】駆動波形復元手段の第 1 の構成図。

【図 2 0】バケット波形復元手段 (1) とバケット波形復元手段 (2) の構成図。

【図 2 1】駆動波形を 5 分割した各部の部分パターンをバケットで記述した例を示す図。

【図 2 2】図 2 1 の部分パターンのパターンコードを用いて駆動波形を記述した例を示す図。

【図 2 3】第 1 の実施例および第 2、第 3 の実施例での駆動波形情報記憶手段の記憶内容を示す図。

【図 2 4】第 2、第 3 の実施例の駆動波形情報記憶手段 (2) の構成図。

【図 2 5】第 2、第 3 の実施例の駆動波形復元手段の構成図。

【図 2 6】駆動波形の記述方法を説明する図 (7 T の場合)

【図 2 7】駆動波形の記述方法を説明する図 (3 T の場合)

【図 2 8】スイッチ手段の構成を示す図

【図 2 9】3 to 8 デコーダの論理例を示す図

【図 3 0】本発明の第 4 の実施例の構成図。

【図 3 1】本発明の第 5 の実施例の構成図。

【図 3 2】アドレス生成手段の第 4 の構成図。

【図 3 3】第 4 のアドレス生成手段のテーブルアドレス生成手段の構成図。

【図 3 4】第 4、第 5 の実施例の駆動波形情報記憶手段 (3) の構成図。

【図 3 5】第 4、第 5 の実施例の駆動波形情報記憶手段 (4) の構成図。

【図 3 6】第 4、第 5 の実施例のレーザダイオードの駆動波形の例を示す図。

【図 3 7】第 4、第 5 の実施例のレーザダイオードの駆動波形の記述例を示す図。

【図 3 8】第 4、第 5 の実施例の駆動波形情報記憶手段の駆動波形記述内容を示す図。

【図 3 9】第 4、第 5 の実施例の駆動波形情報記憶手段の変数値記憶部の構成および記憶内容を示す図。

【図 4 0】第 4、第 5 の実施例の駆動波形復元手段 (3) の構成図。

【図 4 1】第 4、第 5 の実施例の駆動波形復元手段 (3) の動作タイミングを示す図 (1/2)

【図 4 2】第 4、第 5 の実施例の駆動波形復元手段 (3) の動作タイミングを示す図 (2/2)

【図 4 3】第 4、第 5 の実施例の駆動波形復元手段 (3) のバケット修正手段の機能を示す図。

【図 4 4】第 4、第 5 の実施例の駆動波形復元手段

(3) のバケット修正手段の動作を説明する図。

【図 4 5】第 4、第 5 の実施例の駆動波形復元手段 (3) のリピートバケット制御部の構成図。

【図 4 6】第 4、第 5 の実施例の駆動波形復元手段

(3) の変化点位置タイミング生成手段の構成図。

【図 4 7】第 4、第 5 の実施例の駆動波形復元手段

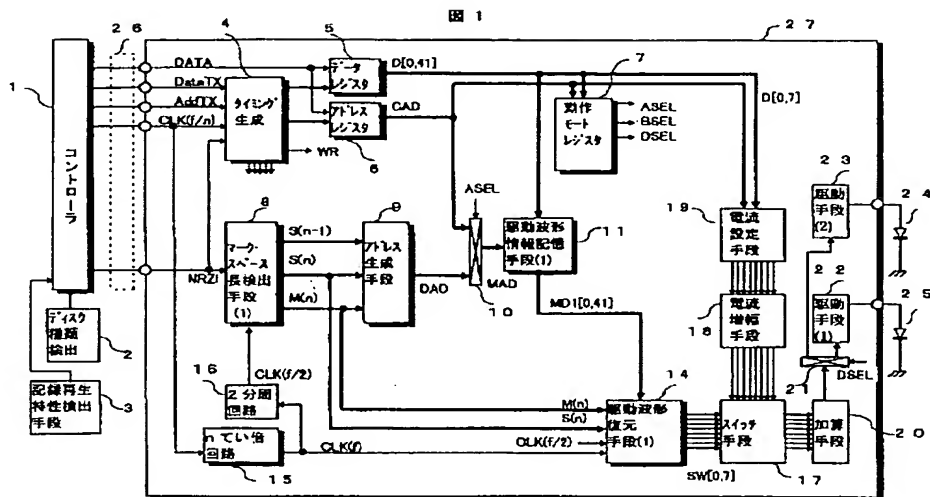
(3) の変化点位置タイミング生成手段の内部動作タイミングを示す図。

【符号の説明】

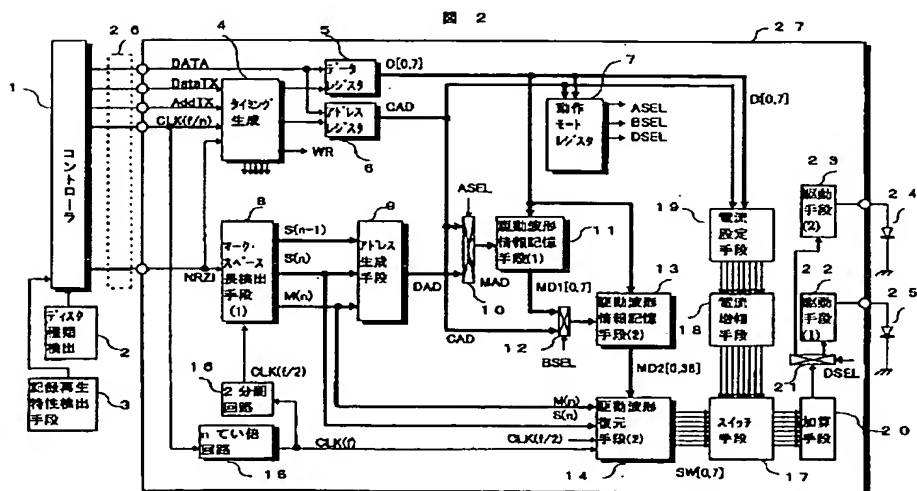
10	1 コントローラ	2 ディスク種類
	検出手段	
	3 記録再生特性検出手段	4 タイミング生成手段
	5 データレジスタ	6 アドレスレジスタ
15	7 動作モードレジスタ	8 マーク・スペース長検出手段
	9 アドレス生成手段	10 切替え手段
	11 駆動波形情報記憶手段 (1)	12 切替え手段
20	13 駆動波形情報記憶手段 (2)	14 駆動波形復元手段
	15 n 倍回路	16 2 分周回路
	17 スイッチ手段	18 電流増幅手段
25	19 電流設定手段	20 加算手段
	21 切替え手段	22 レーザ駆動手段 (1)
	23 レーザ駆動手段 (2)	24 第 2 のレーザダイオード
30	25 第 1 のレーザダイオード	26 フレキシブル配線部
	27 レーザ駆動集積回路	81 マーク・スペース長検出手段
	82 マーク長レジスタ	83 後続スペース長レジスタ
35	84 先行スペース長レジスタ	90 アドレス変換手段
	110 駆動波形記述メモリ	111 変数値記憶メモリ
40	112 変数値テーブル (1)	113 変数値テーブル (2)
	114 定数値テーブル	115 バケット (インデックス) レジスタ
	119 バケット (数値) レジスタ	
45	131 Top (1) テーブル	132 Top (2) テーブル
	133 リピートテーブル	134 Tail テーブル
	135 スペーステーブル	136 更新テーブル
50	ブル選択手段	

- 143 マーク・リピート数設定手段
 144 スペースリピート数設定手段
 142 駆動波形復元シーケンサ 145 パケット
 選択手段
 146 パケット波形復元手段(1)
 147 3108デコーダ
 148 パケット波形復元手段(2)
 900 駆動波形記述メモリアドレス生成手段
 910 テーブルアドレス生成手段
 05 1407 変化点位置タイミング生成手段

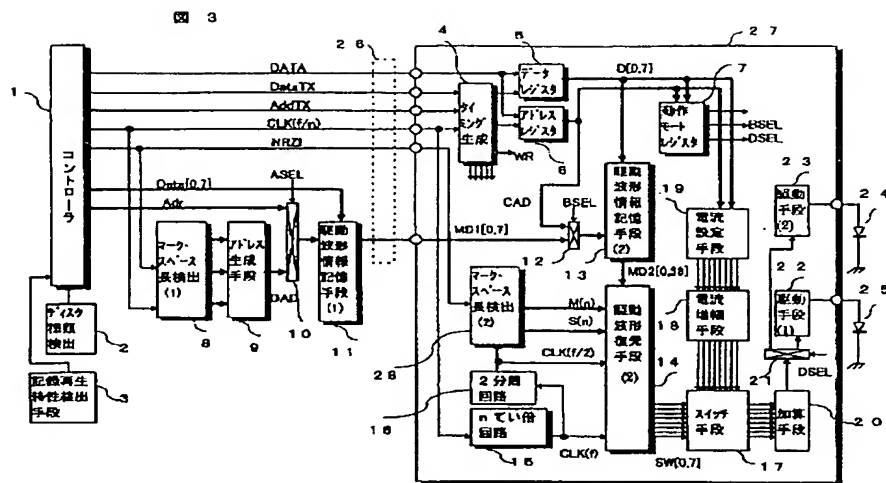
【図1】



【図2】



【图 3】



【図 4】

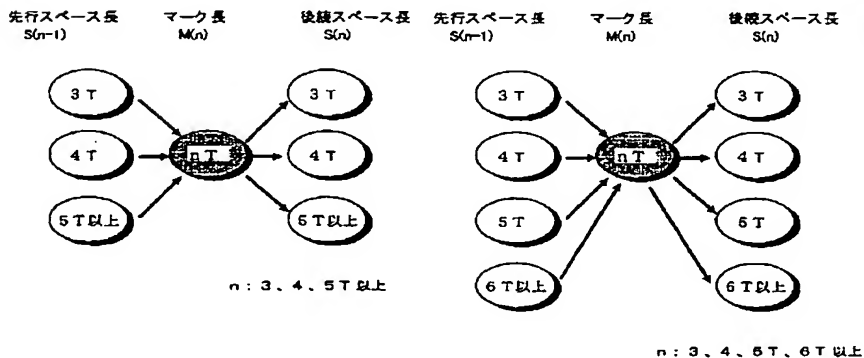
【図 5】

【图 14】

4

§ 5

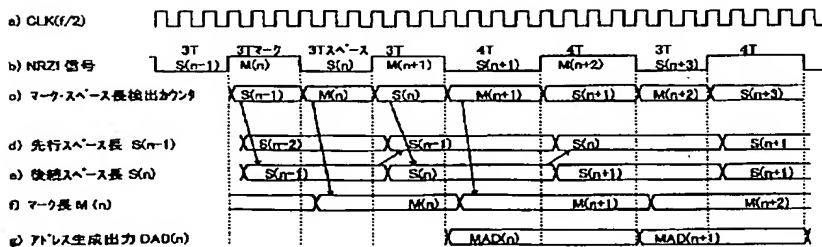
14



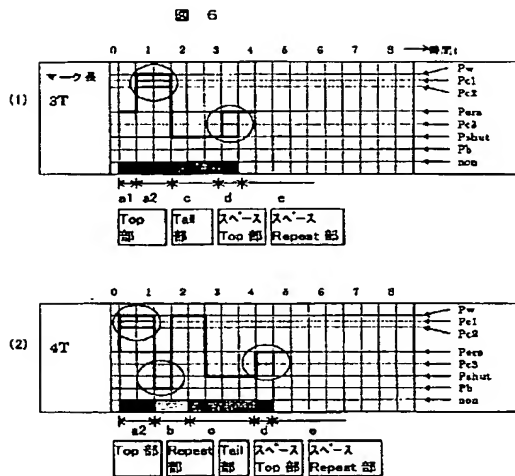
【图9】

変換 (3)		メモリアドレス		メモリ	変換パターン
DA05, 4	DA03, 2, 1	変換パターン			
0	0	P3	(3, 3)		3 Tマーク 9パターン
	1	P3	(3, 4)		
	2	P3	(3, 5e)		
	3	P3	(4, 3)		
	4	P3	(4, 4)		
	5	P3	(4, 5e)		4 Tマーク 9パターン
	6	P3	(5e, 3)		
	7	P3	(5e, 4)		
	8	P3	(5e, 5e)		
	9	P4	(3, 3)		
	10	P4	(3, 4)		
	11	P4	(3, 5e)		
	12	P4	(4, 3)		
	13	P4	(4, 4)		
	14	P4	(4, 5e)		
1	15	P4	(5e, 3)		5 Tマーク以上 9パターン
	0	P4	(5e, 4)		
	1	P4	(5e, 5e)		
	2	P5e	(3, 3)		
	3	P5e	(3, 4)		
	4	P5e	(3, 5e)		
	5	P5e	(4, 3)		
	6	P5e	(4, 4)		
	7	P5e	(4, 5e)		
	8	P5e	(5e, 3)		
	9	P5e	(5e, 4)		
	10	P5e	(5e, 5e)		
	11	xxxx			
	12	xxxx			
	13	xxxx			
	14	xxxx			
	15	xxxx			

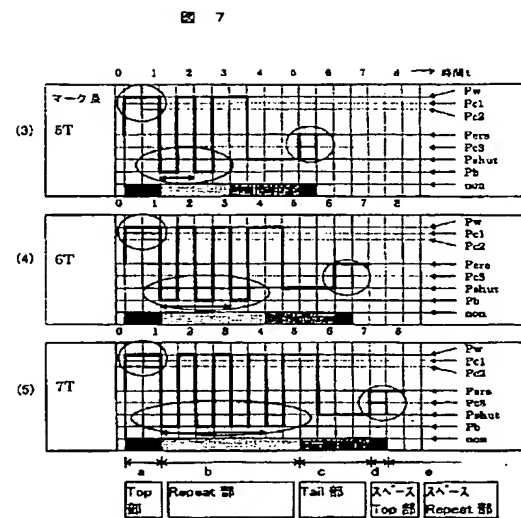
9



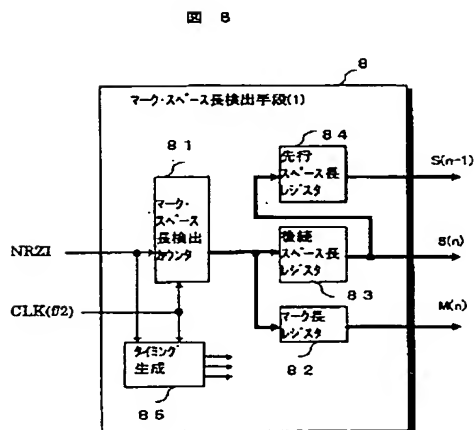
【図 6】



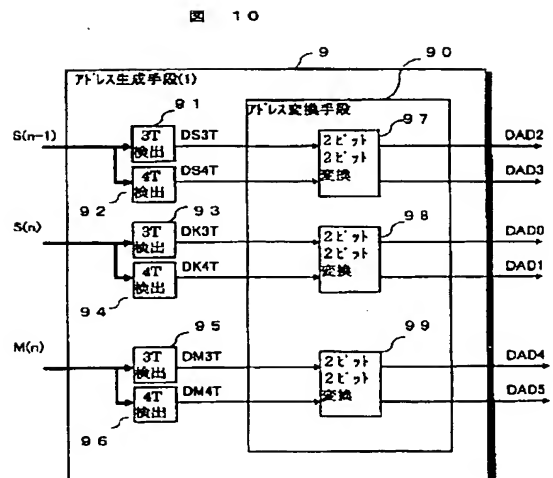
【図 7】



【図 8】



【図 10】



【図11】

図 11

(1) アドレス変換

パターン No.	先行 space長	後続 space長	検出結果 DS3T DS4T DK3T DK4T	DAD3, 2, 1, 0の値 変換(1) 変換(2)
Pn(3, 3)	3T	3T	1 0 1 0	0 10
Pn(3, 4)	3T	4T	1 0 0 1	1 9
Pn(3, 5e)	3T	5T以上	1 0 0 0	2 8
Pn(4, 3)	4T	3T	0 1 1 0	4 6
Pn(4, 4)	4T	4T	0 1 0 1	5 5
Pn(4, 5e)	4T	5T以上	0 1 0 0	6 4
Pn(5e, 3)	5T以上	3T	0 0 1 0	8 2
Pn(5e, 4)	5T以上	4T	0 0 0 1	9 1
Pn(5e, 5e)	5T以上	5T以上	0 0 0 0	10 0

(2) 2ビットコード化(下位ビット)

DK3T	DK4T	DAD1, 0の値
1	0	0
0	1	1
0	0	2

(3) 2ビットコード化(中位ビット)

DS3T	DS4T	DAD3, 2, 0の値
1	0	0
0	1	1
0	0	2

【図12】

図 12

変換(1)

メモリアドレス DAD5, 4	DAD3, 2, 1	記憶パターン
0	0	P3(3, 3)
1	1	P3(3, 4)
2	2	P3(3, 5e)
3	---	---
4	4	P3(4, 3)
5	5	P3(4, 4)
6	6	P3(4, 5e)
7	---	---
8	8	P3(5e, 3)
9	9	P3(5e, 4)
10	10	P3(5e, 5e)
11	---	---
12	---	---
13	---	---
14	---	---
15	---	---
1	0	P4(3, 3)
1	1	P4(3, 4)
10	10	P4(5e, 5e)
15	---	---
2	0	P5e(3, 3)
1	1	P5e(3, 4)
10	10	P5e(5e, 5e)
15	---	---

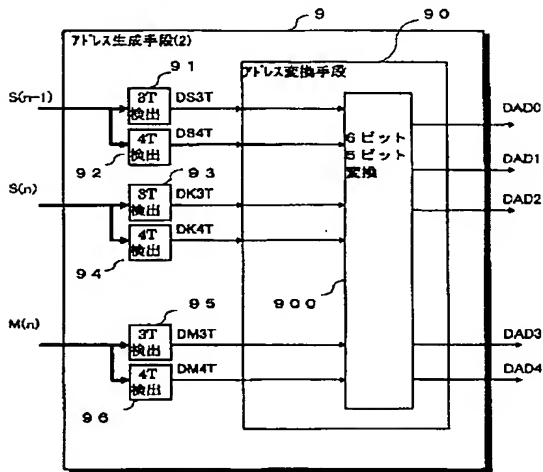
3Tマーク
9パターン

4Tマーク
9パターン

5Tマーク以上
9パターン

【図13】

図 13



【図29】

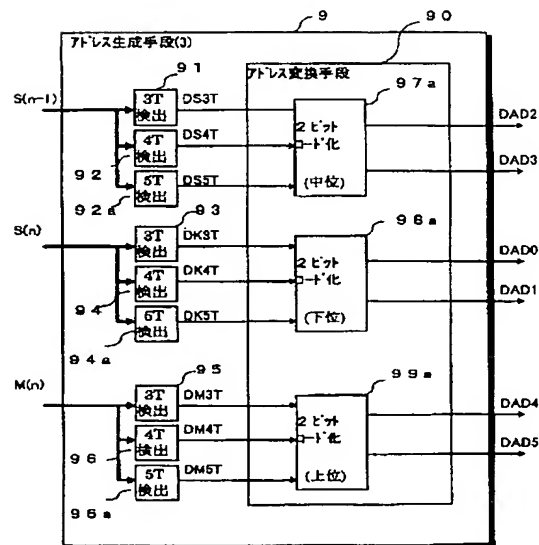
図 29

decoder の論理例

data 値	SW1	SW2	SW3	SW4	SW5	SW6	SW7
0	on	on	on	on	on	on	on
1	on	on	on	on	on	on	on
2		on	on	on	on	on	on
3			on	on	on	on	on
4				on	on	on	on
5					on	on	on
6						on	on
7							on

【図15】

図 15



【図16】

【図17】

図 16

(1) アドレス変換

パターン名	先行	後続	変換結果	下位4bitの値
	space長	space長	DS3T DS4T DS5T DK3T DK4T DK5T	(DAD3, 2, 1, 0)
Pn(3, 3)	3T	3T	1 0 0 1 0 0	0
Pn(3, 4)	3T	4T	1 0 0 0 1 0	1
Pn(3, 5)	3T	5T	1 0 0 0 0 1	2
Pn(3, 6e)	3T	6T以上	1 0 0 0 0 0	3
Pn(4, 3)	4T	3T	0 1 0 1 0 0	4
Pn(4, 4)	4T	4T	0 1 0 0 1 0	5
Pn(4, 5)	4T	5T	0 1 0 0 0 1	6
Pn(4, 6e)	4T	6T以上	0 1 0 0 0 0	7
Pn(5, 3)	5T	3T	0 0 1 1 0 0	8
Pn(5, 4)	5T	4T	0 0 1 0 1 0	9
Pn(5, 5)	5T	5T	0 0 1 0 0 1	10
Pn(5, 6e)	5T	6T以上	0 0 1 0 0 0	11
Pn(6e, 3)	6T以上	3T	0 0 0 1 0 0	12
Pn(6e, 4)	6T以上	4T	0 0 0 0 1 0	13
Pn(6e, 5)	6T以上	5T	0 0 0 0 0 1	14
Pn(6e, 6e)	6T以上	6T以上	0 0 0 0 0 0	15

(2) 2ビットコード化(下位ビット)

DK3T	DK4T	D15T	DAD1, 0の値
1	0	0	0
0	1	0	1
0	0	1	2
0	0	0	3

(3) 2ビットコード化(中位ビット)

DS3T	DS4T	DS5T	DAD3, 2の値
1	0	0	0
0	1	0	1
0	0	1	2
0	0	0	3

図 17

変換(4)

メモリアドレス	記憶パターン
DAD5, 4 DAD3, 2, 1, 0	
0	P3(3, 3)
1	P3(3, 4)
2	P3(3, 5)
3	P3(3, 6e)
4	P3(4, 3)
5	P3(4, 4)
6	P3(4, 5)
7	P3(4, 6e)
8	P3(5, 3)
9	P3(5, 4)
10	P3(5, 5)
11	P3(5, 6e)
12	P3(6e, 3)
13	P3(6e, 4)
14	P3(6e, 5)
15	P3(6e, 6e)
1	P4(3, 3)
1	P4(3, 4)
1	P4(3, 5)
1	P4(3, 6e)
15	P4(6e, 6e)
2	P5(3, 3)
1	P5(3, 4)
1	P5(3, 5)
1	P5(3, 6e)
15	P5(6e, 6e)
3	P6e(3, 3)
1	P6e(3, 4)
1	P6e(3, 5)
1	P6e(3, 6e)
15	P6e(6e, 6e)

【図21】

【図18】

図 21

図 18

パターン変換

パターン名	A'カ'10				A'カ'11				A'カ'12				A'カ'13				A'カ'14				A'カ'15						
	L10	L20	RL0		L11	L21	RL1		L12	L22	RL2		L13	L23	RL3		L14	L24	RL4		L15	L25	RL5				
(1) 3 Tマーク	P3(3, 3)	Er	C1	1	0	0	0	C1	1	0	0	0	C1	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P3(3, 4)	Er	C1	1	0	0	0	C1	1	0	0	0	C1	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P3(3, 5e)	Er	C2	1	0	0	0	C2	1	0	0	0	C2	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P3(4, 3)	Er	W	1	0	0	0	C1	1	0	0	0	C1	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P3(4, 4)	Er	W	1	0	0	0	C1	1	0	0	0	C1	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P3(4, 5e)	Er	W	1	0	0	0	C1	1	0	0	0	C1	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P3(5e, 3)	Er	W	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P3(6e, 4)	Er	W	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P3(5e, 5e)	Er	W	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
(2) 4 Tマーク	P4(3, 3)	C1	C1	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P4(3, 4)	C1	C1	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P4(3, 5e)	C1	C2	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P4(4, 3)	W	C1	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P4(4, 4)	W	C1	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P4(4, 5e)	W	C1	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P4(5e, 3)	W	W	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P4(5e, 4)	W	W	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P4(5e, 5e)	W	W	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
(3) 5 T以上 マーク	P5(3, 3)	C1	C1	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P5(3, 4)	C1	C1	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P5(3, 5e)	W	C2	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P5(4, 3)	W	C1	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P5(4, 4)	W	C1	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P5(4, 5e)	W	C1	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P5(5e, 3)	W	W	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P5(5e, 4)	W	W	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1
	P5(5e, 5e)	W	W	1	0	0	0	W	1	0	0	0	W	1	0	0	0	1	S	Er	1	S	Er	1	S	Er	1

ただし、
W = Pw
C1 = Pc1
C2 = Pc2
Er = Para
C3 = Pc3
S = Pshul
B = Pb

(1) Top(1)部 A'カ'10

パターン名	L0	RL0
PT1-0	Er	1
PT1-1	0	0

パターンコード PT1

0
1

(2) Top(2)部 A'カ'10 A'カ'11

パターン名	L0	RL0	L1	RL1
PT2-0	W	2	0	0
PT2-1	W	1	C1	1
PT2-2	C2	2	0	0
PT2-3	01	2	0	0
PT2-4	W	1	C2	1

パターンコード PT2

000
001
010
011
100

(3) Repeat部 A'カ'10

パターン名	L1	L2
PWR-0	B	W
PWR-1	S	W

パターンコード PWR

0
1

(4) Tail部 A'カ'10 A'カ'11

パターン名	L0	RL0	L1	RL1
PTa-0	0	0	S	3
PTa-1	W	1	S	3

パターンコード PTa

0
1

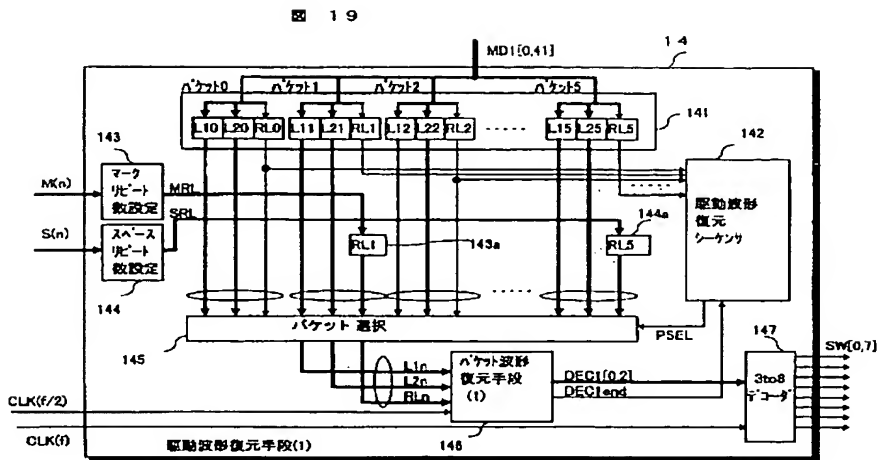
(5) Space部 A'カ'10 A'カ'11

パターン名	L0	RL0	L1	RL1
PS-0	Er	1	Er	1
PS-1	0	1	Er	1
PS-2	C3	1	Er	1

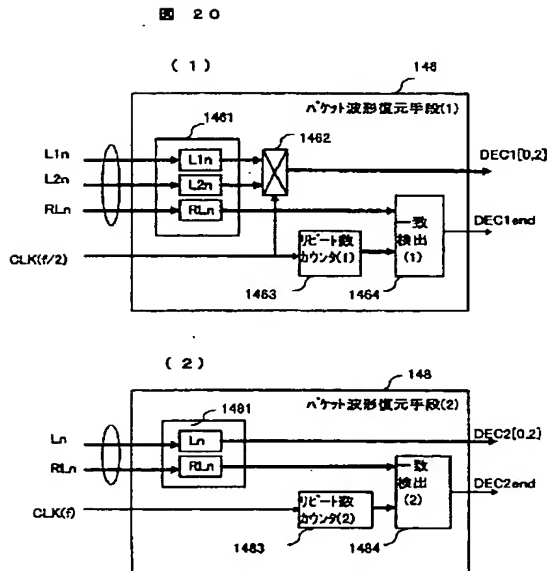
パターンコード PS

00
01
10

【図19】



【図20】



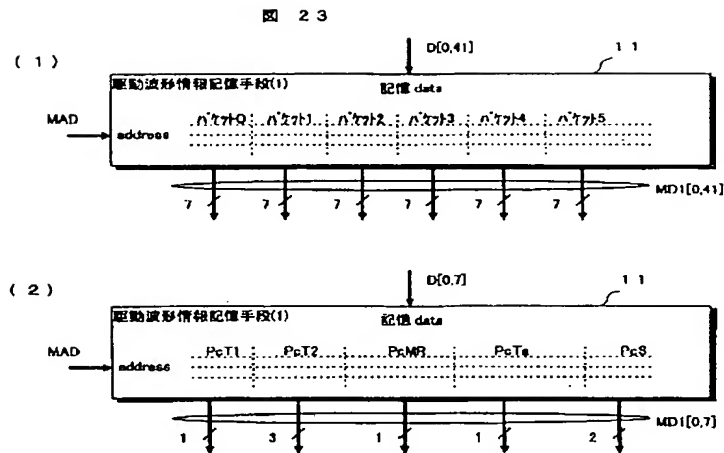
【図22】

図 22

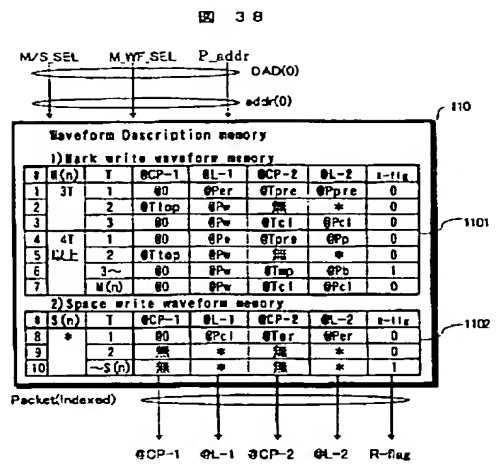
パターン名	PcT1	PcT2	PcMR	PcTa	PcS
(1) 3 T マーク					
P3 (3, 3)	0	011	*	0	01
P3 (3, 4)	0	011	*	0	10
P3 (3, 5e)	0	010	*	0	00
P3 (4, 3)	0	001	*	0	01
P3 (4, 4)	0	001	*	0	10
P3 (4, 5e)	0	001	*	0	00
P3 (5e, 5e)	0	000	*	0	00
P3 (5e, 3)	0	000	*	0	01
P3 (5e, 4)	0	000	*	0	01
(2) 4 T マーク					
P4 (3, 3)	1	011	1	1	01
P4 (3, 4)	1	011	1	1	10
P4 (3, 5e)	1	010	0	1	00
P4 (4, 3)	1	001	1	1	01
P4 (4, 4)	1	001	1	1	10
P4 (4, 5e)	1	001	0	1	00
P4 (5e, 3)	1	000	0	1	01
P4 (5e, 4)	1	000	0	1	10
P4 (5e, 5e)	1	000	0	1	00
(3) 5 T 以上 マーク					
P5e (3, 3)	1	011	1	1	01
P5e (3, 4)	1	011	1	1	10
P5e (3, 5e)	1	100	0	1	00
P5e (4, 3)	1	001	1	1	01
P5e (4, 4)	1	001	1	1	10
P5e (4, 5e)	1	001	0	1	00
P5e (5e, 3)	1	000	0	1	01
P5e (5e, 4)	1	000	0	1	10
P5e (5e, 5e)	1	000	0	1	00

※: dont care

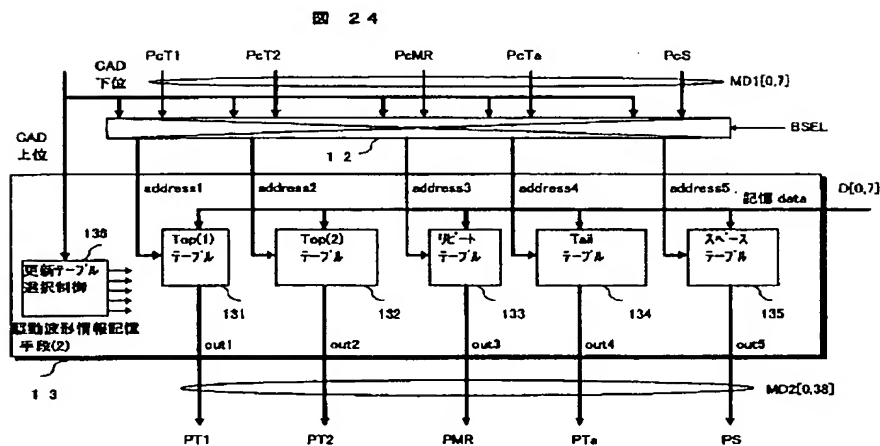
【図23】



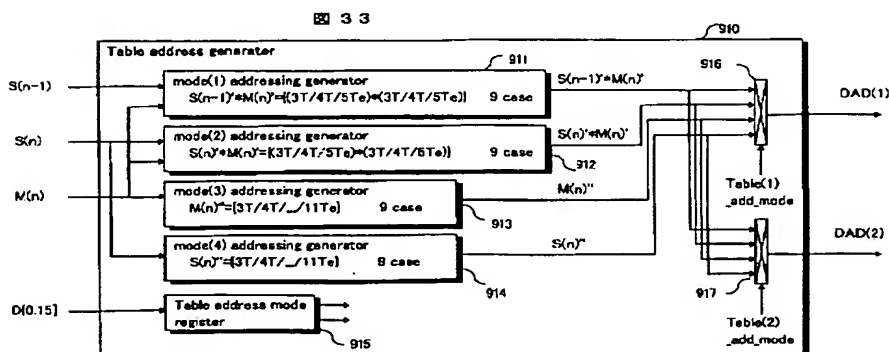
【図38】



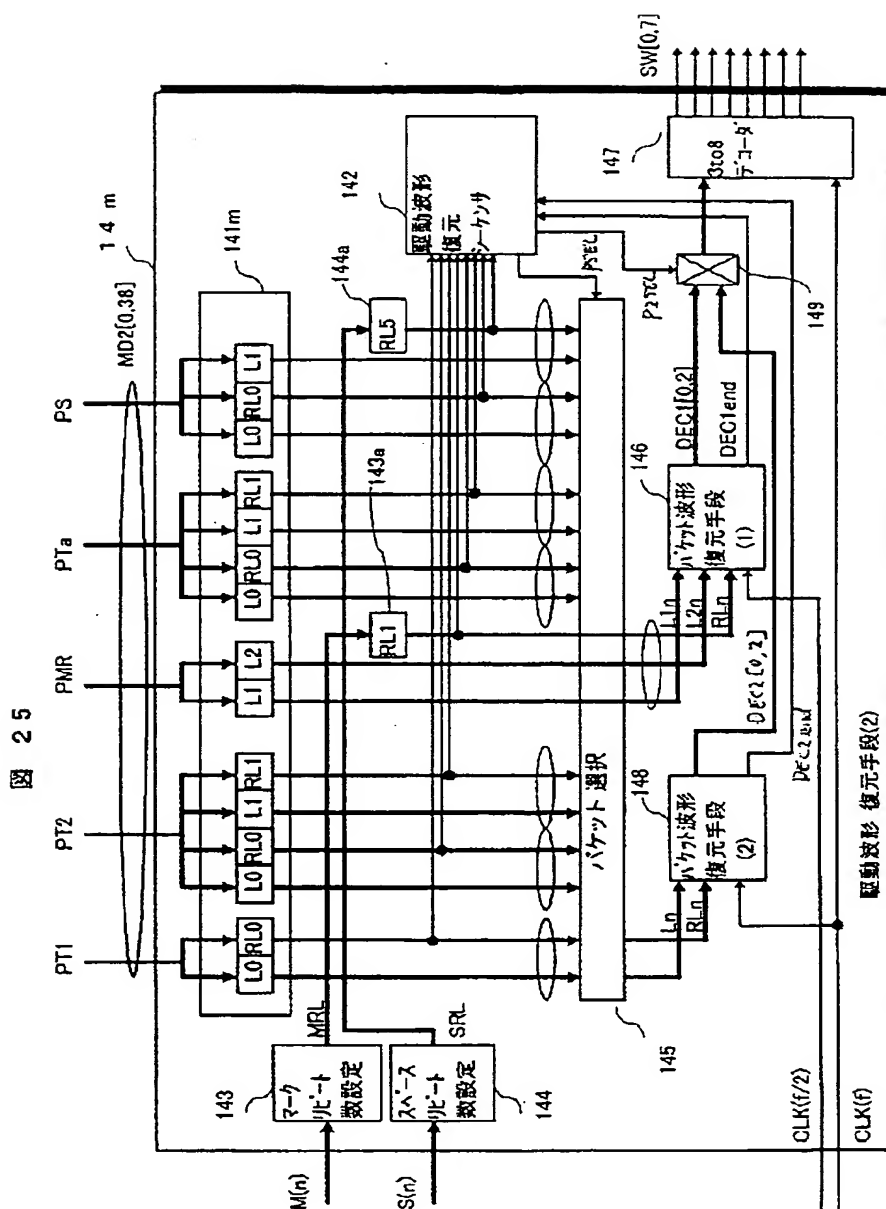
【図24】



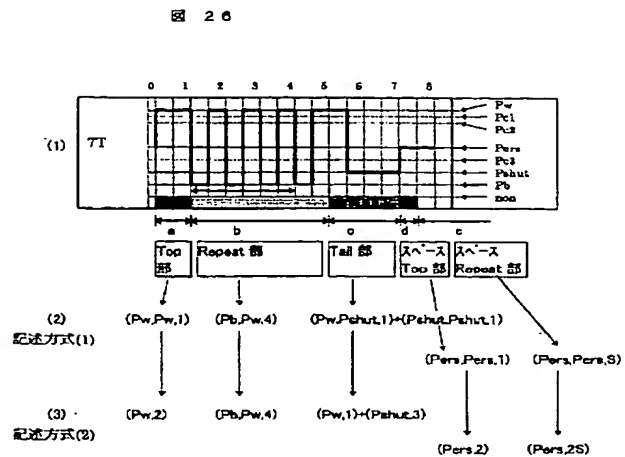
【図33】



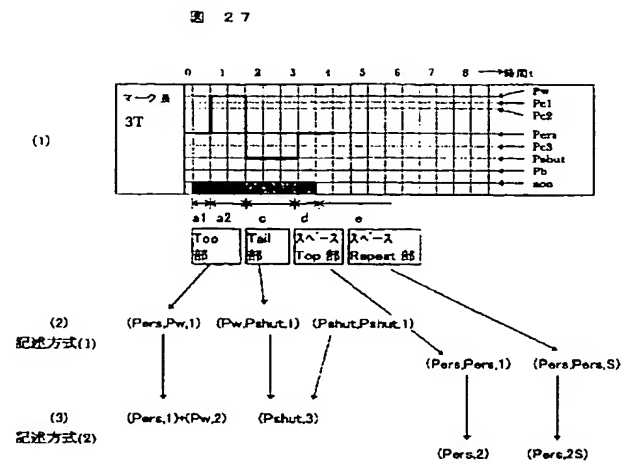
【图 2 5】



【図26】

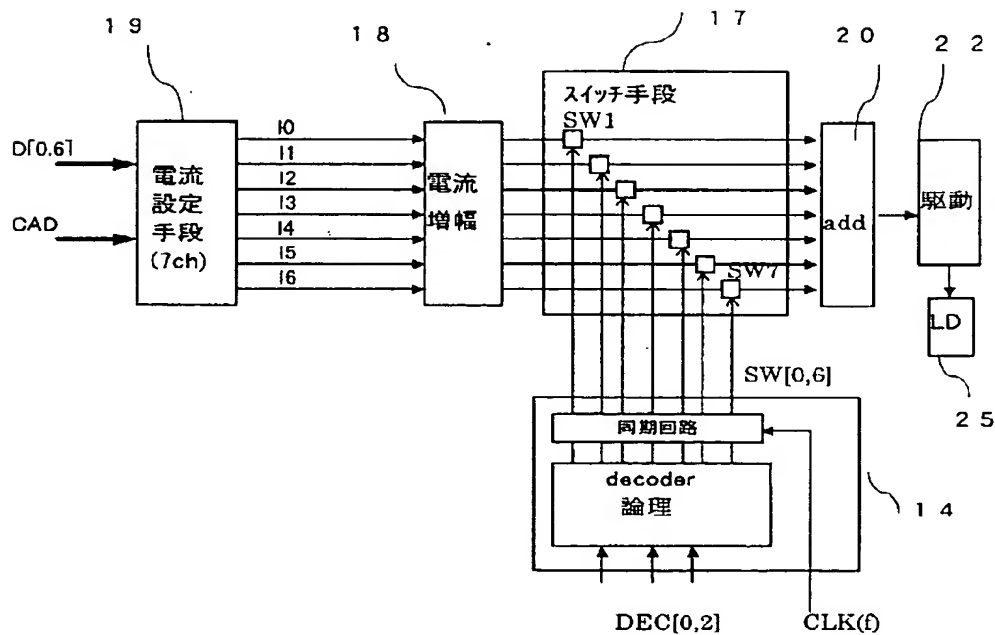


【図27】

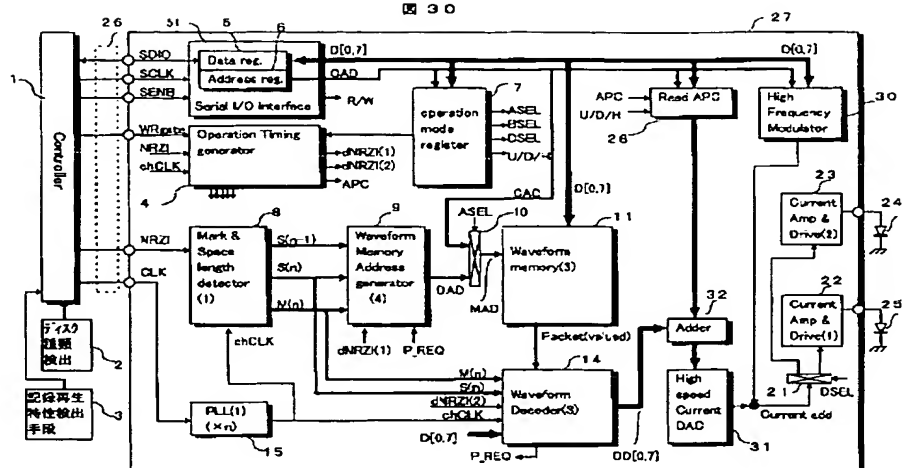


【図28】

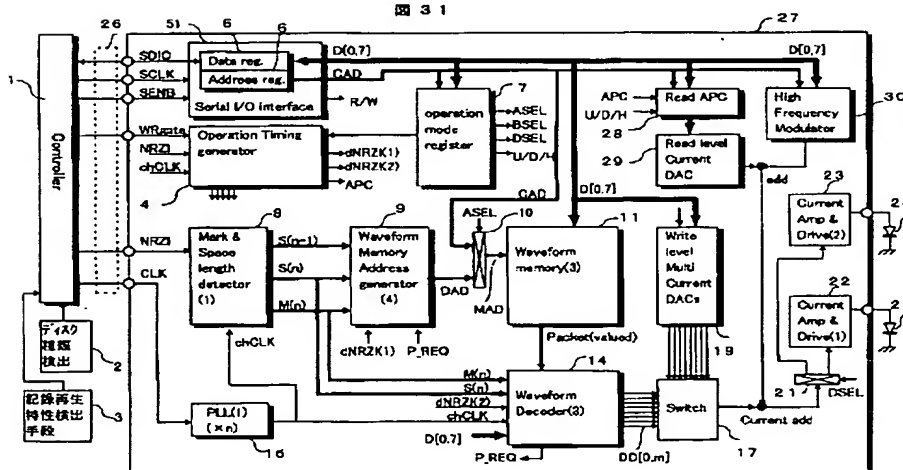
図 28



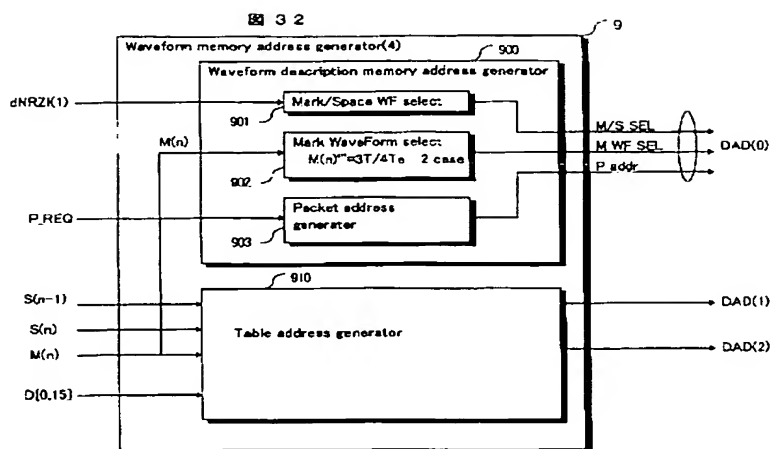
30



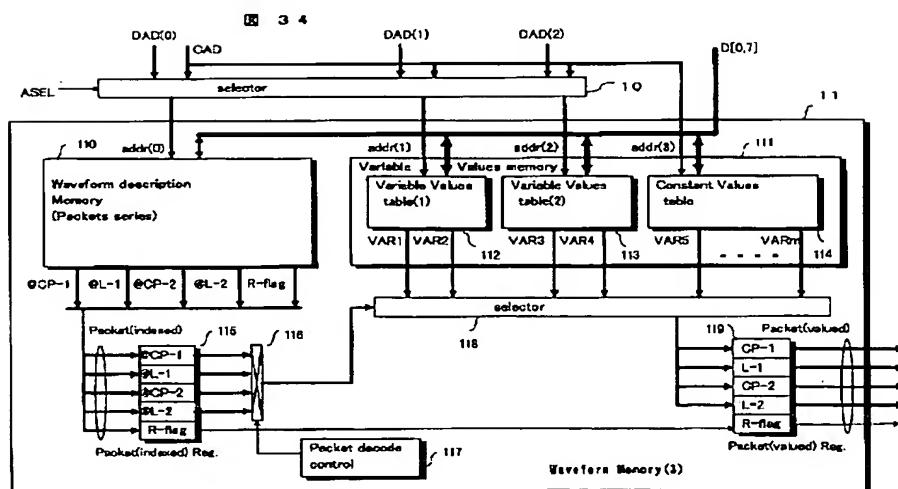
3 1



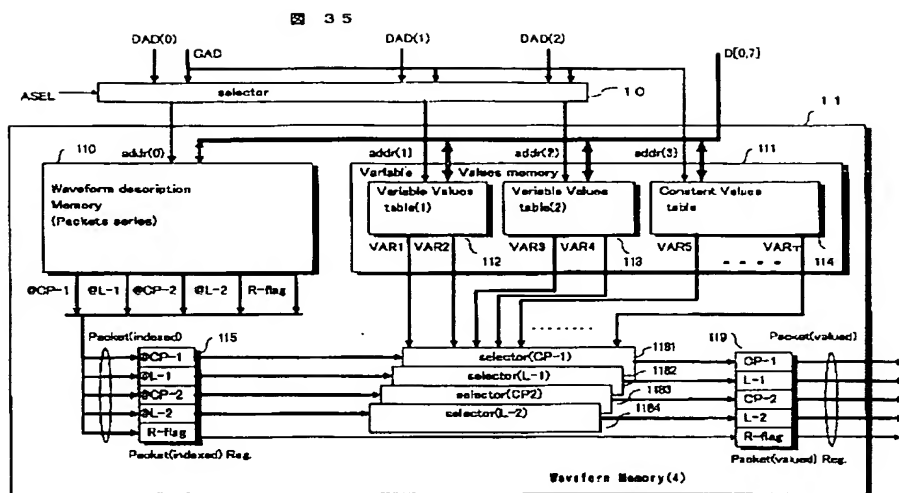
【图 3 2】



【图 3 4】

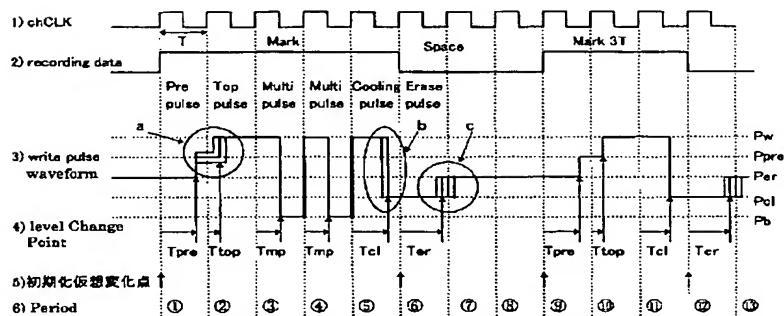


【図35】



【図36】

図 3 6



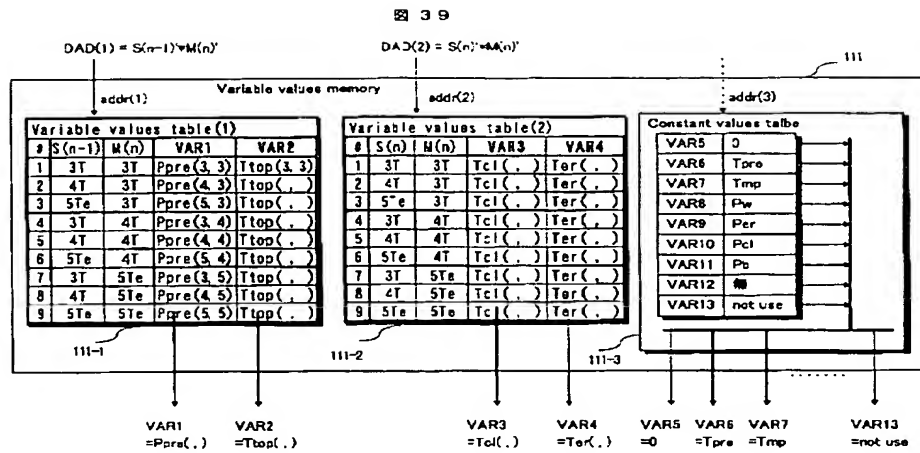
【図37】

図 3 7

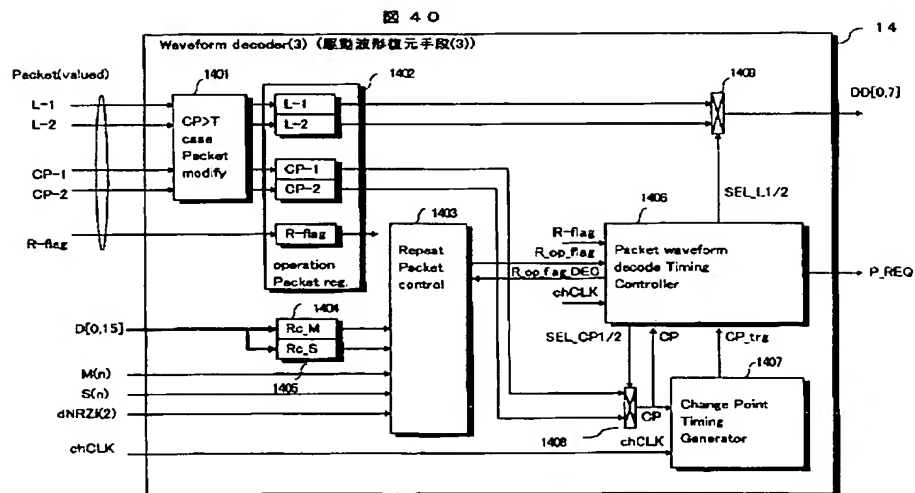
Period	N/S	CP-1	L-1	CP-2	L-2	R-flag	Packet function
①	M	0	Per	Tpre	Ppre	0	1) Pre pulse Packet
②	M	Ttop	Pw	*	*	0	2) Top pulse Packet
③	M	0	Pw	Tmp	Pb	1	3) Multi pulse repeat Packet
④	M	0	Pw	Tmp	Pb	1	3) Multi pulse repeat Packet
⑤	M	0	Pw	Tcl	Pcl	0	4) Cooling pulse packet
⑥	S	0	Pcl	Ter	Per	0	5) Erase pulse packet
⑦	S	無	*	*	*	0	6) 前値hold Packet
⑧	S	無	*	*	*	1	7) 前値hold repeat Packet
⑨	M	0	Per	Tpre	Ppre	0	1) Pre pulse Packet
⑩	M	Ttop	Pw	*	*	0	2) Top pulse Packet
⑪	M	0	Pw	Tcl	Pcl	0	4) Cooling pulse packet
⑫	S	0	Pcl	Ter	Per	0	5) Erase pulse packet
⑬	S	無	*	*	*	0	6) 前値hold Packet
⑭	S	無	*	*	*	1	7) 前値hold repeat Packet
⑮	S	-	-	-	-	-	-

無: no Level Change Point in period

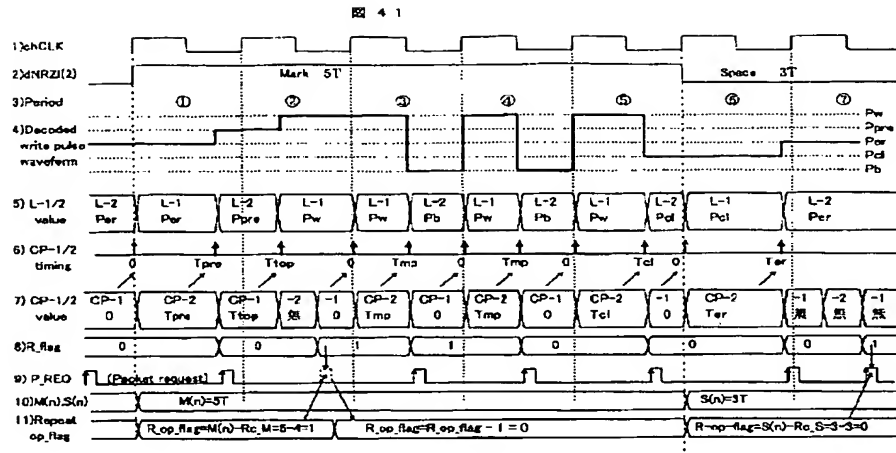
【図 39】



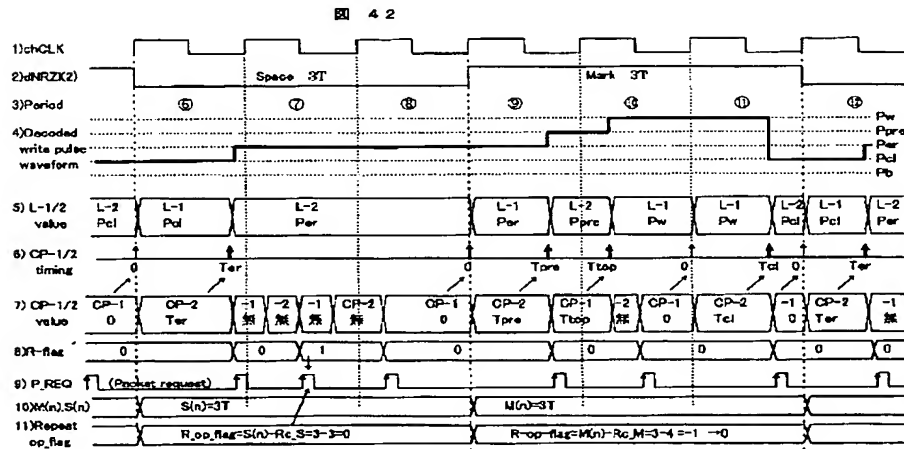
【図 40】



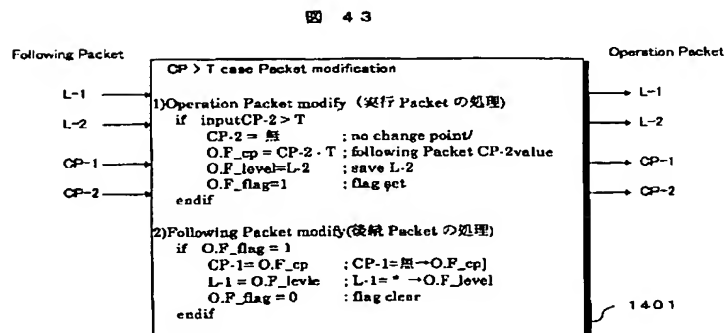
【図41】



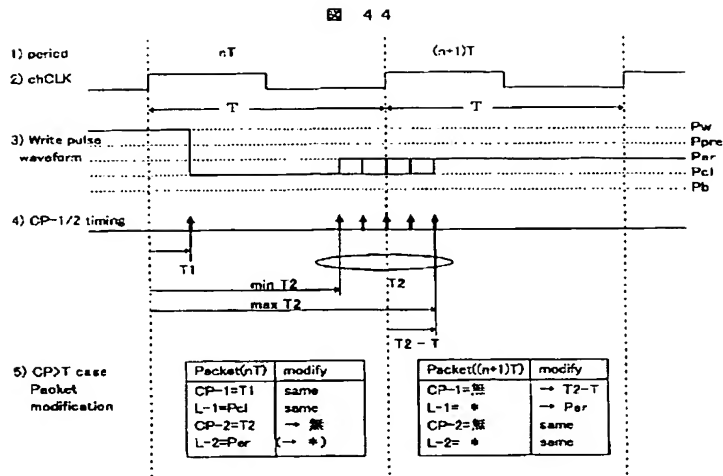
【図42】



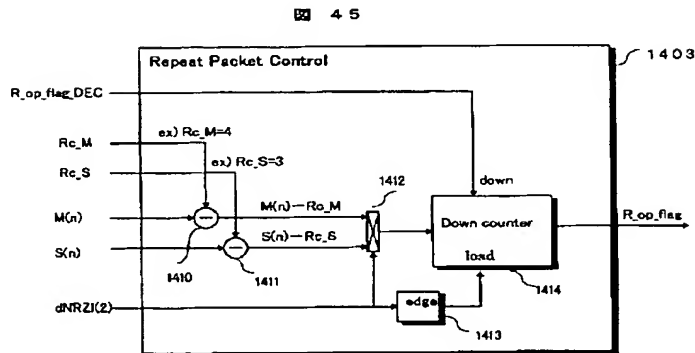
【図43】



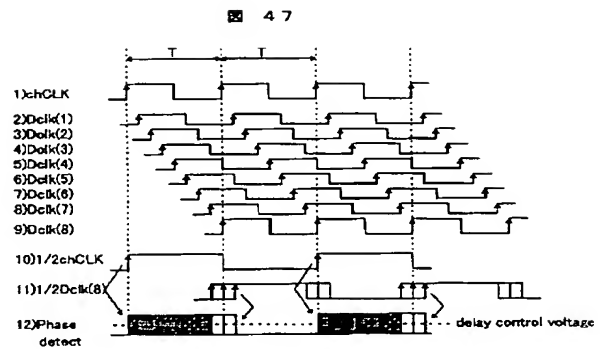
【図44】



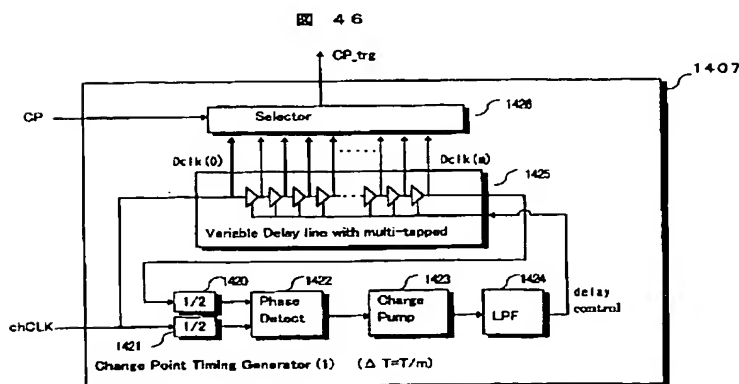
【図45】



【図47】



【図46】



フロントページの続き

(72)発明者 賀来 敏光
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所映像情報メディア事業部内 05
(72)発明者 樽林 正明
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所マルチメディアシステム開
発本部内

10

(72)発明者 星野 隆司
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所マルチメディアシステム開
発本部内
(72)発明者 田中 靖人
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所マルチメディアシステム開
発本部内
(72)発明者 神藤 英彦
東京都国分寺市東恋ヶ窪一丁目280番地株
式会社日立製作所中央研究所内